

BAB IV. COUNTER

TUJUAN :

Setelah mempelajari bab ini mahasiswa diharapkan mampu :

- Menjelaskan prinsip dasar Counter
- Membuat Counter dasar dengan prinsip sekuensial
- Membedakan operasi dan karakteristik Counter Sinkron dan Asinkron
- Menganalisa Counter melalui timing diagram
- Membuat Counter Mod-N
- Mendisain bermacam-macam aplikasi Counter menggunakan eksternal gate
- Mengoperasikan IC Counter
- Mengoperasikan Up-Down Counter

Counter :

Sebuah rangkaian sekuensial yang mengeluarkan urutan state-state tertentu, yang merupakan aplikasi dari pulsa-pulsa inputnya

Pulsa input dapat berupa pulsa clock atau pulsa yang dibangkitkan oleh sumber eksternal dan muncul pada interval waktu tertentu

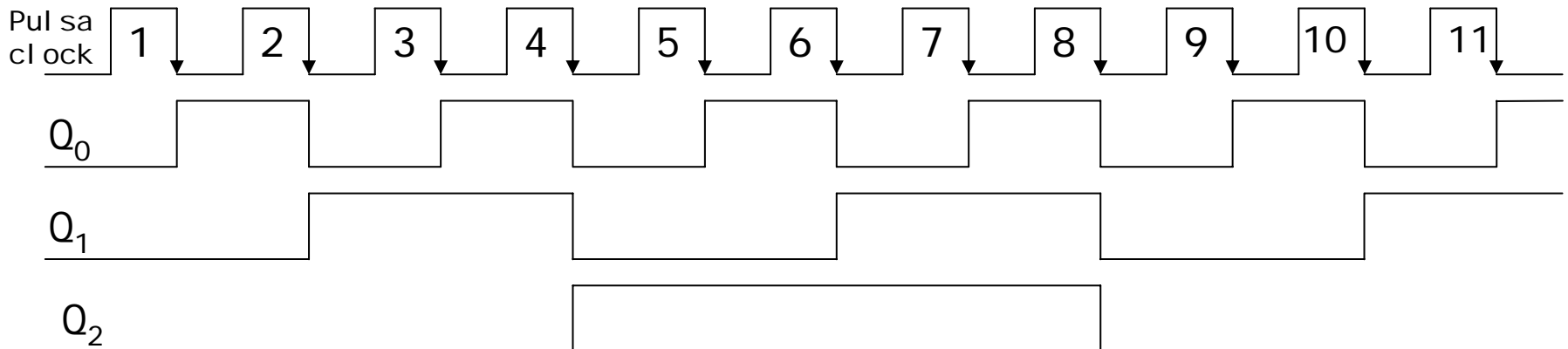
Counter banyak digunakan pada peralatan yang berhubungan dengan teknologi digital, biasanya untuk menghitung jumlah kemunculan sebuah kejadian/event atau untuk menghitung pembangkit waktu

Counter yang mengeluarkan urutan biner dinamakan Biner Counter

Sebuah n-bit binary counter terdiri dari n buah flip-flop, dapat menghitung dari 0 sampai $2^n - 1$

Operasi Counting

2^2	2^1	2^0	
Q_2	Q_1	Q_0	COMMENT
0	0	0	Belum ada pulsa
0	0	1	Setelah pulsa #1
0	1	0	Setelah pulsa # 2
0	1	1	Setelah pulsa # 3
1	0	0	Setelah pulsa # 4
1	0	1	Setelah pulsa # 5
1	1	0	Setelah pulsa # 6
1	1	1	Setelah pulsa # 7
0	0	0	Setelah pulsa # 8 recycle ke 000
0	0	1	Setelah pulsa # 9
0	1	0	Setelah pulsa # 10
0	1	1	Setelah pulsa # 11



Counter dari Rangkaian Sekuensial

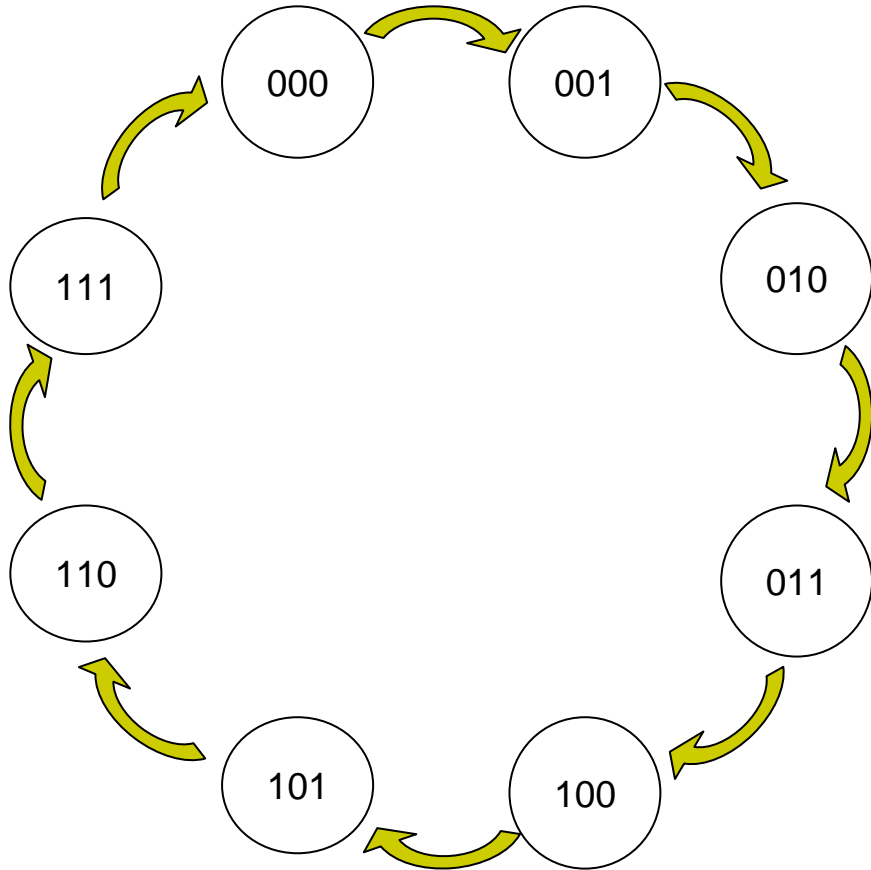


Diagram State
3-bit Binary Counter

PRESENT STATE			NEXT STATE			INPUT FLIP-FLOP		
A ₂	A ₁	A ₀	A ₂	A ₁	A ₀	TA ₂	TA ₁	TA ₀
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

Tabel Eksitasi
3-bit Binari Counter

COUNTER SYNKRON & ASYNKRON

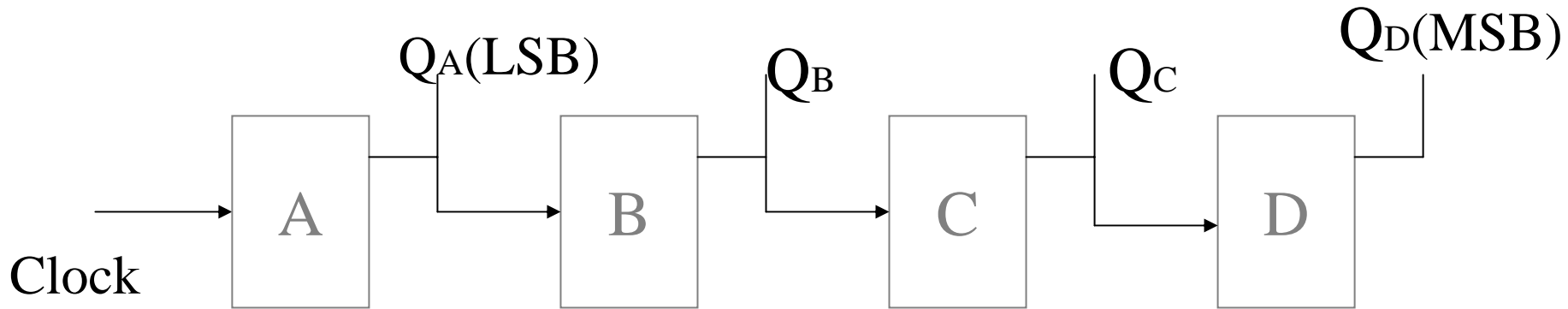
Ada dua jenis counter yaitu :

1. Asynchronous counter
2. Synchronous counter

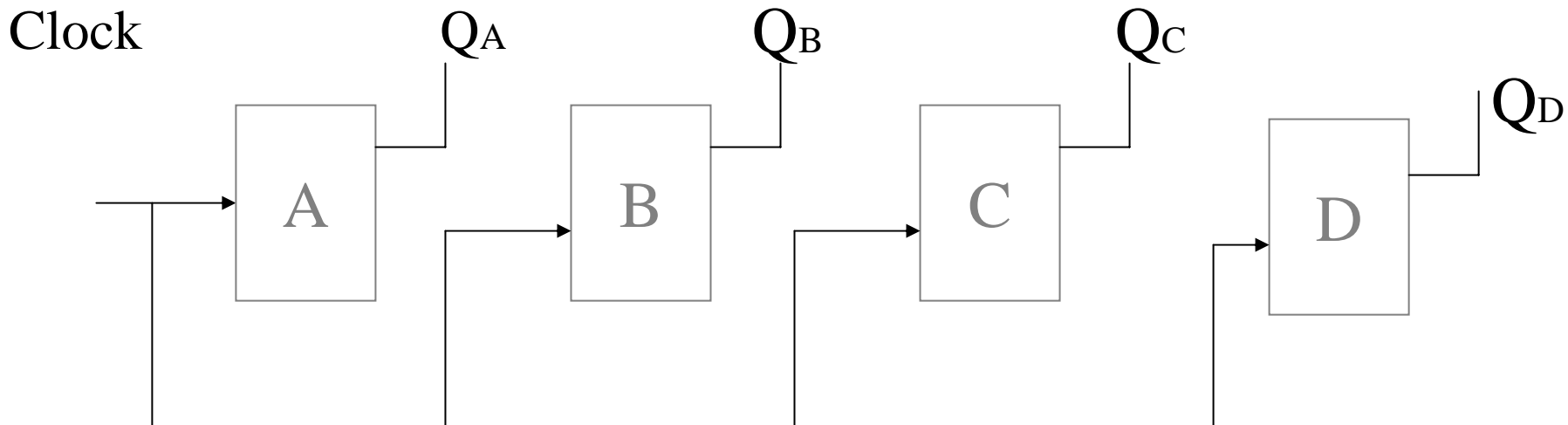
Asynchronous counter disebut ripple trough counter/serial counter, karena output masing-masing flip-flop yang digunakan akan bergulingan (berubah kondisi dari 0 ke 1 atau sebaliknya) secara berurutan. Hal ini karena flip-flop yang paling ujung saja yang dikendalikan sinyal clock, sedangkan sinyal lainnya diambil dari masing-masing flip-flop sebelumnya.

Synchronous counter, output flip-flop yang digunakan bergulingan secara serempak. Hal ini disebabkan karena masing-masing flip-flop tersebut dikendalikan secara serempak oleh satu sinyal clock. Oleh sebab itu synchronous counter disebut parallel counter

Asynchronous Counter



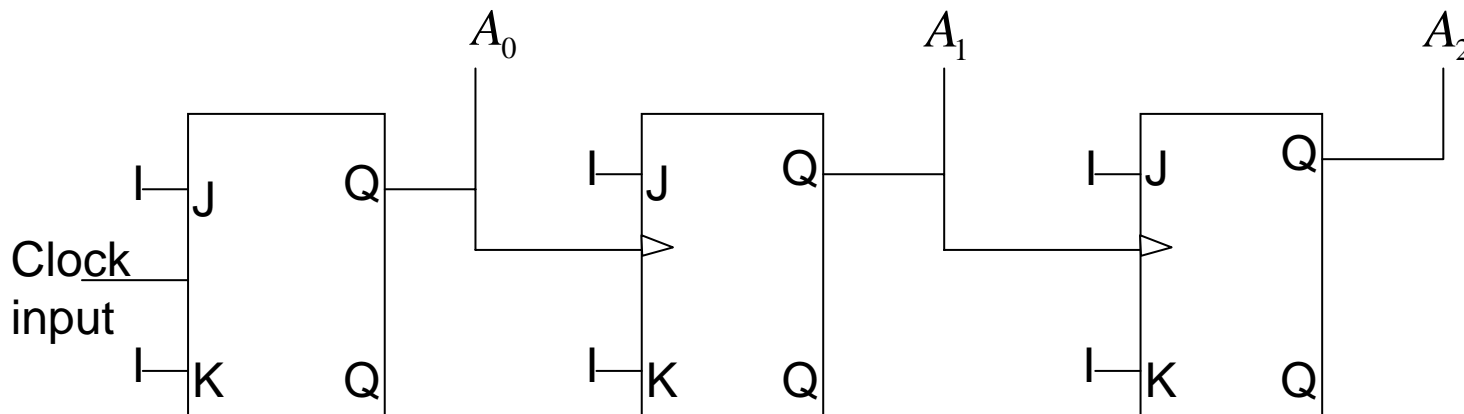
Synchronous Counter



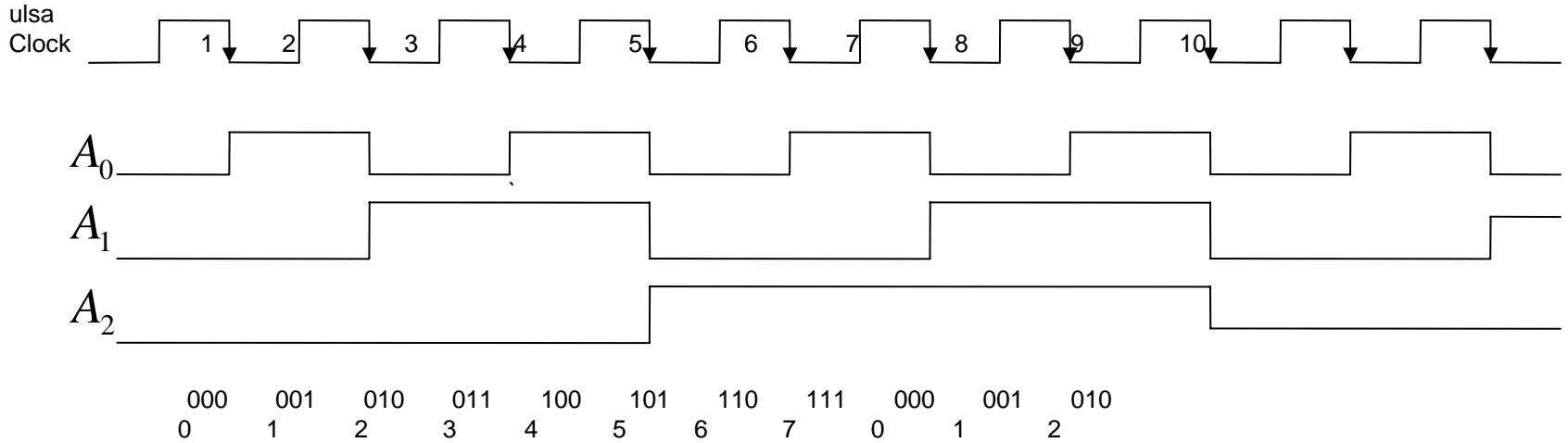
ASYNCRONOUS COUNTER (RIPPLE COUNTER)

Ripple Counter = Asynchronous Counter

- Counter terdiri dari beberapa Flip-Flop pada bit di-cascadekan.
- Pada *Ripple Counter*, output dari Flip-Flop pada bit dengan level yang lebih rendah menjadi input dari Flip-Flop pada bit berlevel lebih tinggi.
- Dengan kata lain, input clock dari masing-masing Flip-Flop berasal dari output Flip-flop yang lain.

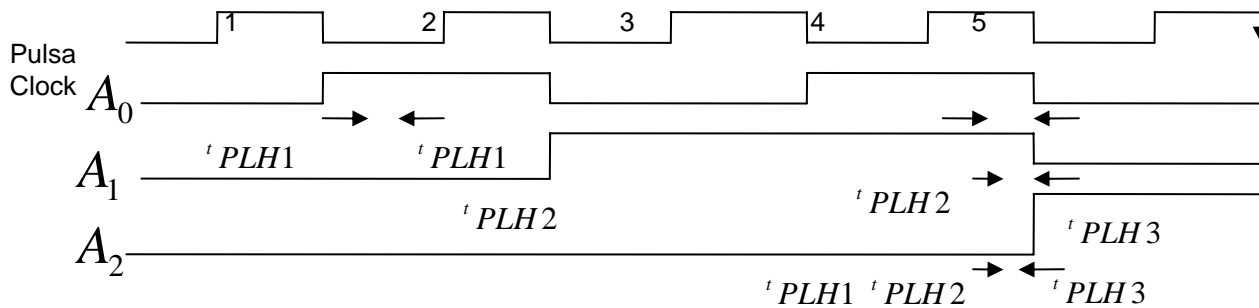


3-bit binary Ripple Counter



Timing diagram dari 3-bit binary Ripple Counter

Delay Propagasi pada Ripple Counter



Counter Modulo N

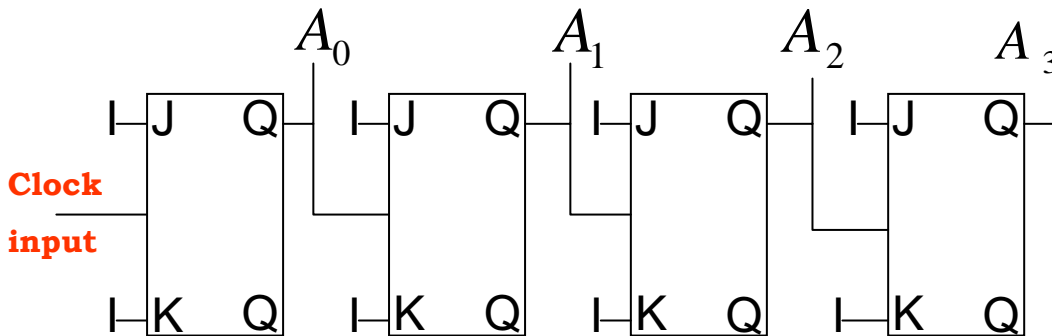
MOD bilangan 2^n

Dimana: N= jumlah Flip-Flop
= jumlah bit input

Contoh:

Counter MOD 8 → ada 3 flip-flop

Counter MOD 16 → ada 4 flip-flop



Binary Ripple Counter MOD 16

A_3	A_2	A_1	A_0	DECIMAL COUNT
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15
0	0	0	0	0
0	0	0	0	1

MOD Bilangan 2^n

- Contoh:
Counter MOD menggunakan 3 FF
Counter MOD menggunakan 4 FF
menggunakan tambahan gerbang-gerbang eksternal

Cara 1: Mode Toggle

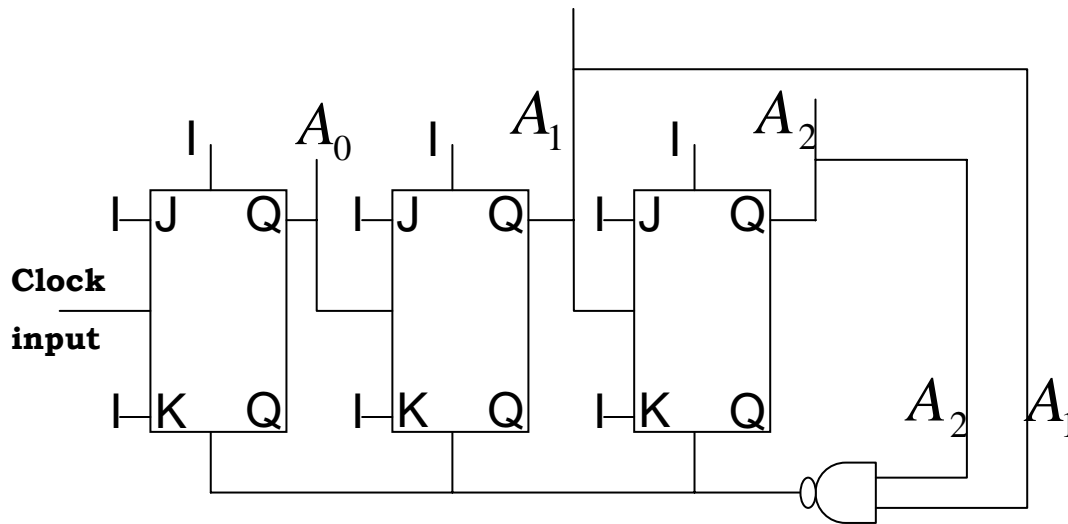
- Buat input-input j dan k setiap flip-flop bernilai 1
- Gunakan tabel kebenaran untuk menentukan hitungannya.
- Jika counter mencapai nilai bilangan, harus di-reset ke nilai 0
- Dengan gerbang-gerbang logika, masukkan input dari flip-flop yang bersesuaian ke input Clear (RD) dari seluruh FF.
- Jika perlu, dapat ditambahkan rangkaian pemilih.

Contoh:

Desain Binary Up Counter MOD 6

- Pada hitungan 6 (110), counter kembali reset menjadi 0 (000).
- Ada kondisi dimana $A_2 = A_1 = 1$ berubah menjadi $A_2 = 0$ dan $A_1 = 0$
- Agar A_2 dan A_1 bersama-sama mencapai nilai 0, maka harus di-NAND kan, dan hasilnya diberikan kepada input Clear dari seluruh Flip-Flop.

A_2	A_1	A_0	DECIMAL COUNT
0	1	0	0
0	1	1	1
0	0	0	2
0	0	1	3
1	1	0	4
1	1	1	5
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3



Cara 2: Metode Sintesa Rangkaian

- 1). Buat Tabel PS-NS dan Tabel eksitasi dari FF yang dipakai
- 2). Gunakan langkah-langkah dalam sintesa rangkaian untuk mendapatkan input-input masing-masing Flip-Flop

Contoh:

Desain Binary Up Counter MOD 6

PRESEN STATE			NEXT STATE			NILAI EKSTANSI					
A_2	A_1	A_0	A_2	A_1	A_0	JA_2	KA_2	JA_1	KA_1	JA_0	KA_0
0	0	0	0	0	1	0	d	0	d	1	d
0	0	1	0	1	0	0	d	1	d	d	1
0	1	0	0	1	1	0	d	d	0	1	d
0	1	1	1	0	0	1	d	d	1	d	1
1	0	0	1	0	1	d	0	0	d	1	d
1	0	1	0	0	0	d	1	0	d	d	1
1	1	0	0	0	0	d	1	d	1	0	d
1	1	1	0	0	0	d	1	d	1	d	1

	A_1A_0	00	01	11	10
A_2	0	0	0	1	0
1		d	d	d	d

$$JA_2 = A_1A_0$$

	A_1A_0	00	01	11	10
A_2	0	d	d	d	d
1		0	1	1	1

$$KA_2 = A_1 + A_0$$

	A_1A_0	00	01	11	10
A_2	0	0	1	d	d
1		0	0	d	d

$$JA_1 = A_2' A_0$$

	A_1A_0	00	01	11	10
A_2	0	0	d	1	0
1		d	d	1	1

$$KA_1 = A_2 + A_1$$

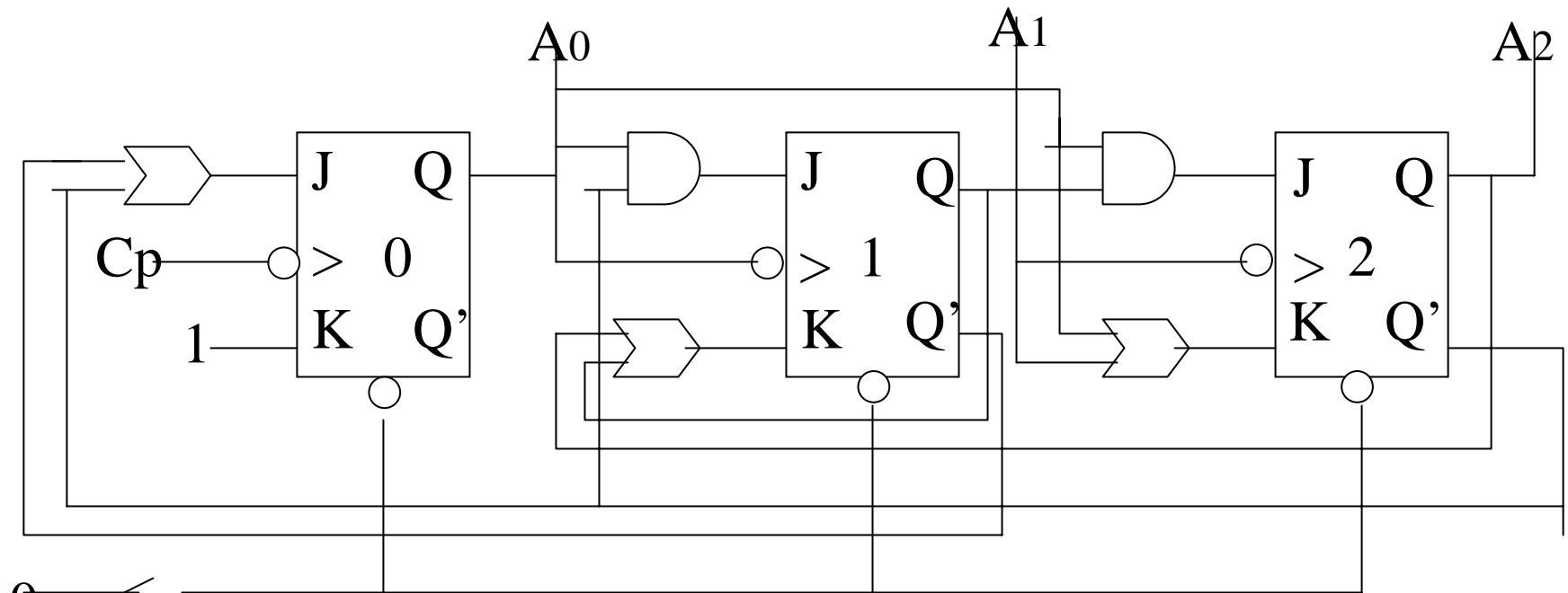
	A_1A_0	00	01	11	10
A_2	0	1	d	d	1
1		1	d	d	0

$$JA_0 = A_1' + A_2'$$

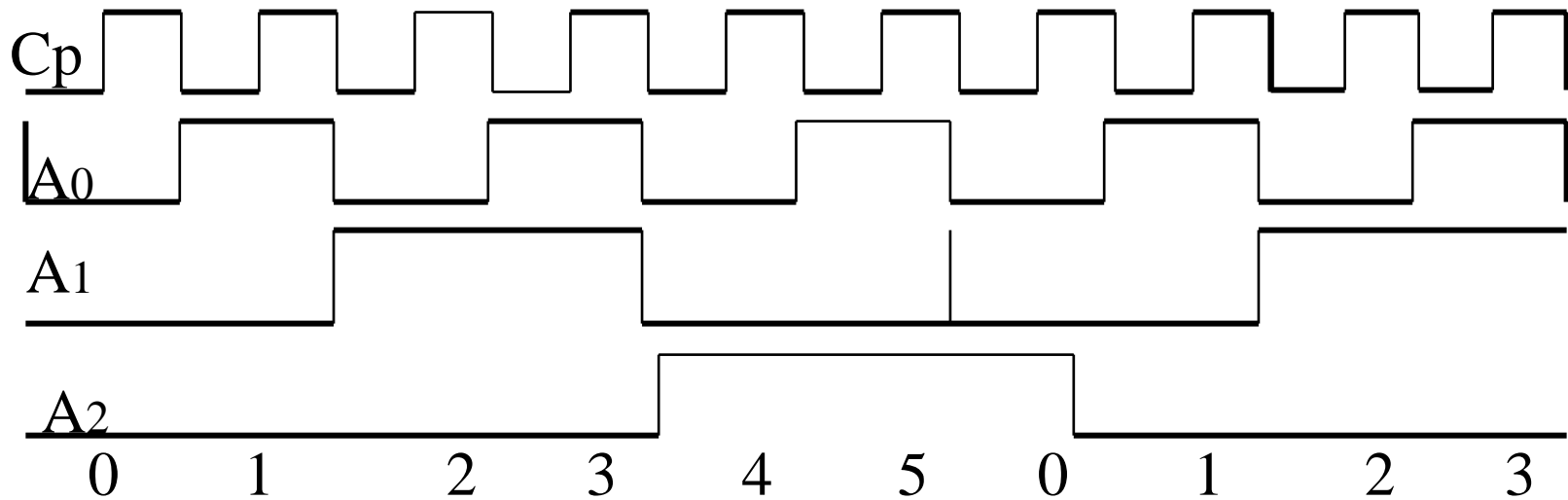
	A_1A_0	00	01	11	10
A_2	0	d	1	1	d
1		d	1	1	d

$$KA_0 = 1$$

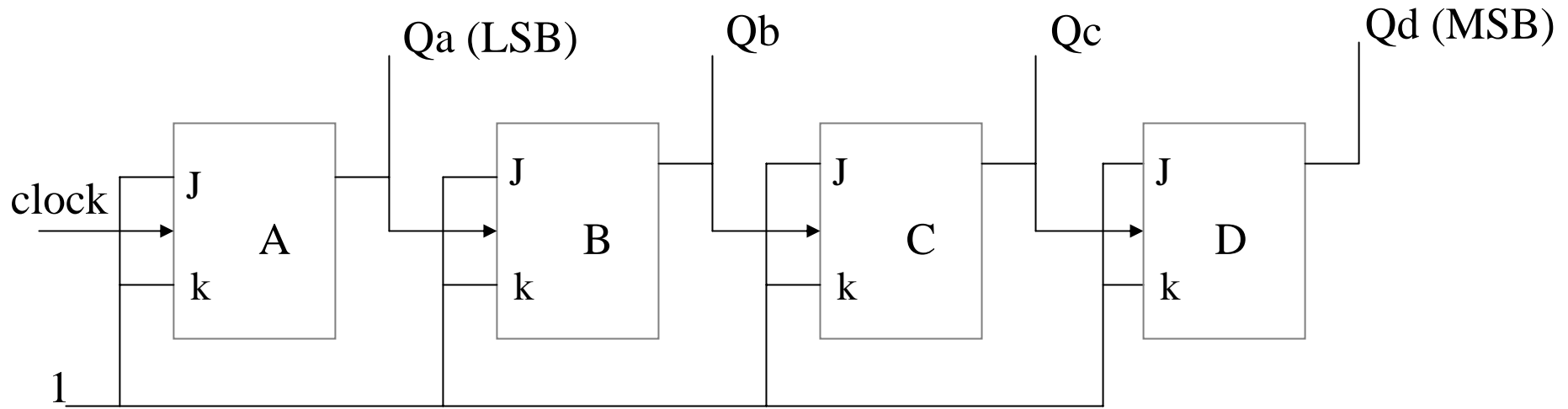
K-Map untuk mendapatkan rangkaian Binary Up Counter MOD-6



0 Up Counter MOD-6 (dengan metode sintesa rangk. Sekuensial)

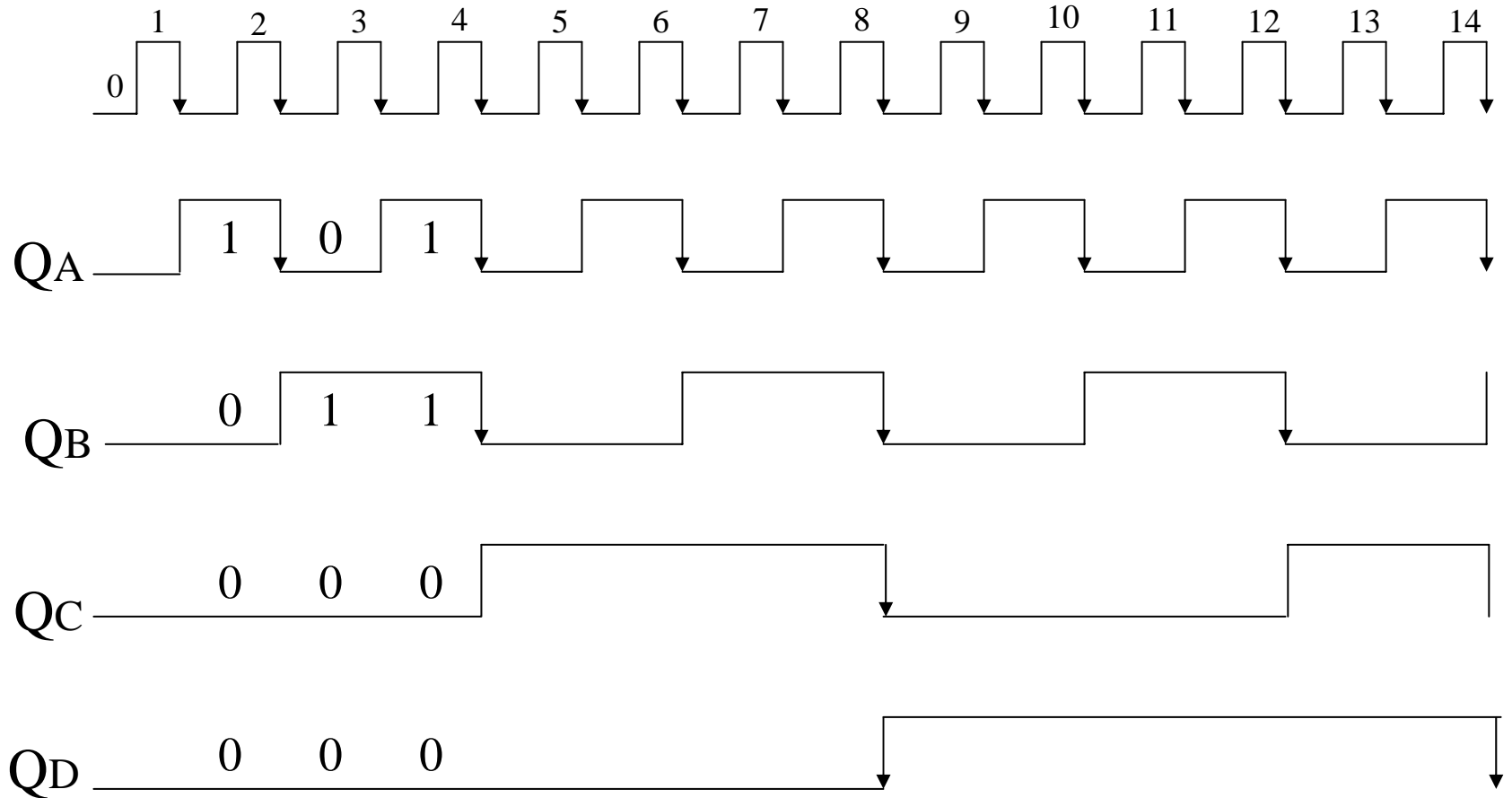


UP counter (penyacah maju tak sinkron)



UP Counter – 4 Bit

Gelombang Ouput Qa, Qb, Qc dan Qd



Frekuensi Ouput Qa, Qb, Qc dan Qd

$Qa = \frac{1}{2}$ frekuensi sinyal clock

$Qb = \frac{1}{2}$ frekuensi Qa = $\frac{1}{4}$ frekuensi sinyal clock

$Qc = \frac{1}{2}$ frekuensi Qb = $\frac{1}{8}$ frekuensi sinyal clock

$Qd = \frac{1}{2}$ frekuensi Qc = $\frac{1}{16}$ frekuensi sinyal clock

CARA KERJA :

1. Output flip-flop (Qa) akan berguling setiap pulsa clock
(0 ke 1 atau 1 ke 0)
2. Output flip-flop yang lain akan bergulingan bila output flip-flop sebelumnya berganti kondisi dari 1 ke 0

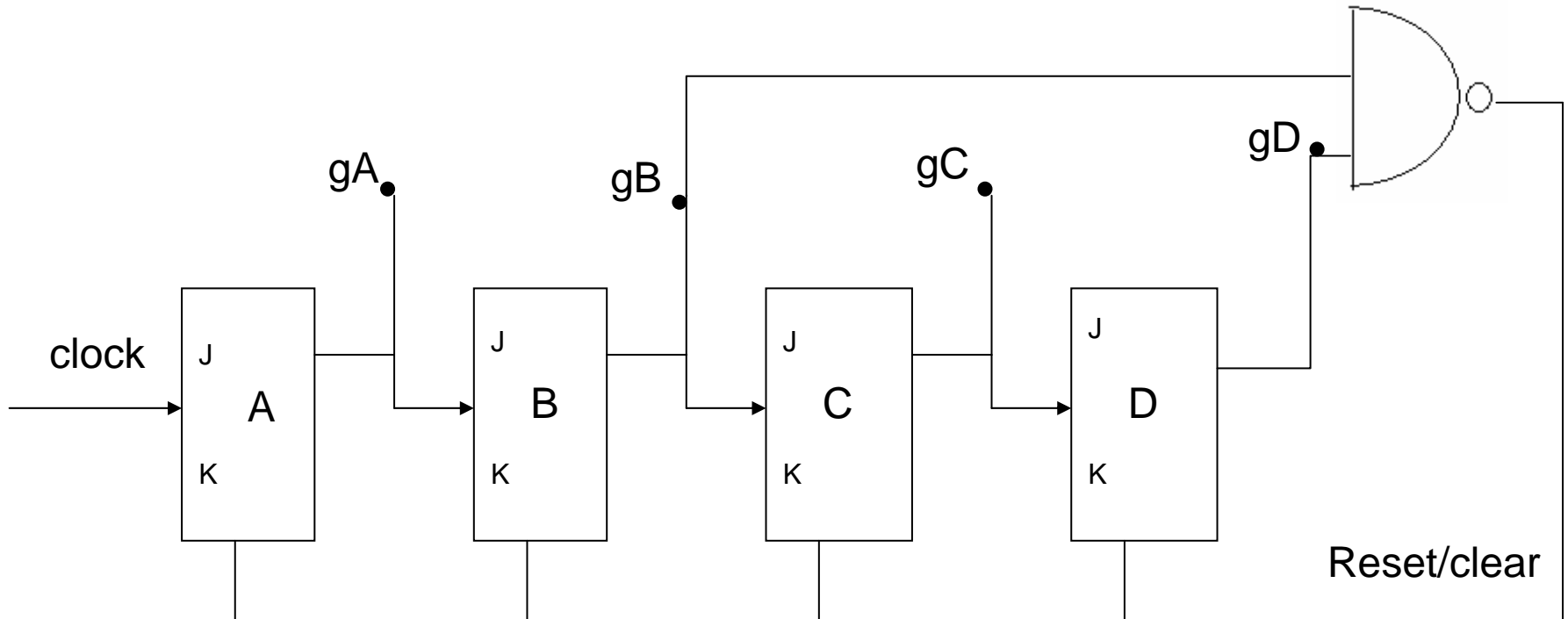
3. Sebelum sinyal clock dijalankan, pertama kali masing-masing Flip-flop di reset : 0000 .
4. Setelah sinyal clock dijalankan, pulsa pertama menyebabkan qA berguling dari “0” ke “1” sehingga rangkaian tersebut mulai menghitung : 0000
5. Pulsa clock kedua menyebabkan gA berguling dari “1” ke “0” sehingga gB akan berguling dari “0” ke “1” dan hitungan menjadi 0010 dan seterusnya

Tabel kebenaran up counter-4 bit

clock	Qa	Qb	Qc	Qd
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

PENYACAH 8421 BCD (DECADE COUNTER)

Penyacah 8421 BCD sering juga disebut decade counter yaitu penyacah yang akan menghasilkan bilangan sandi 0 sampai 9



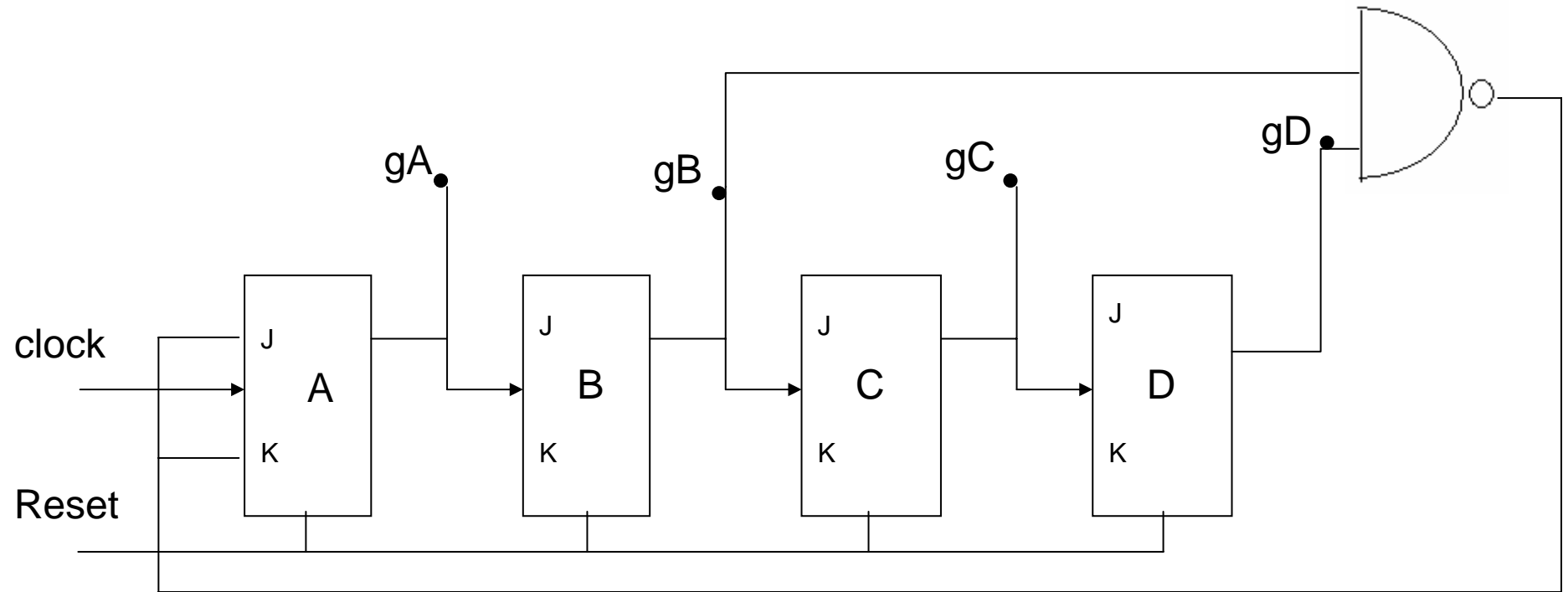
8421 BCD dari bilangan desimal :0,1,2,...9

* Tabel kebenaran decade counter *

clock	gD	gC	gB	gA
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Pada saat hitungan akan menuju 1010 maka counter akan menghitung :0000 lagi karena output gB = 1 dan gD=1 sehingga output NAND GATE Akan = "0" sehingga akan mereset counter menjadi : 0000

SELF STOPPING RIPPLE COUNTER (COUNTER YANG DAPAT MENGHITUNG SECARA OTOMATIS)



SELF STOPPING RIPPLE COUNTER

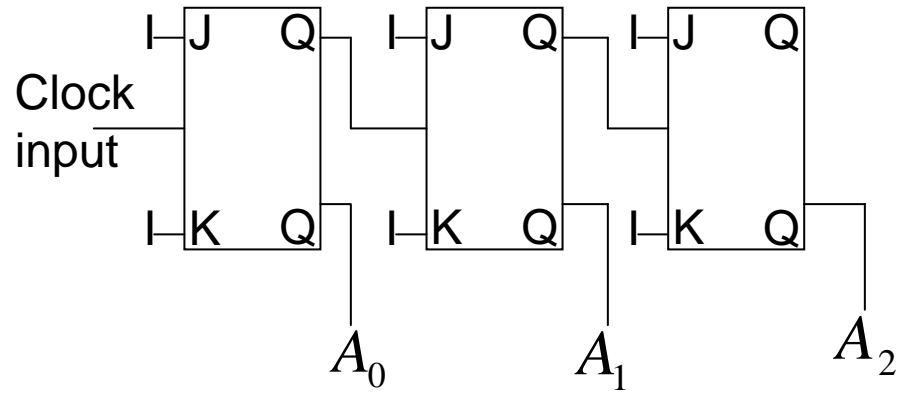
Rangkaian diatas akan berhenti secara otomatis pada hitungan ke sepuluh : 1010.

Hal itu dapat terjadi karena pada hitungan tersebut (pulsa clock ke-10) QD dan QB sama sama bernilai logika "1", sehingga output pintu NAND adalah "0".

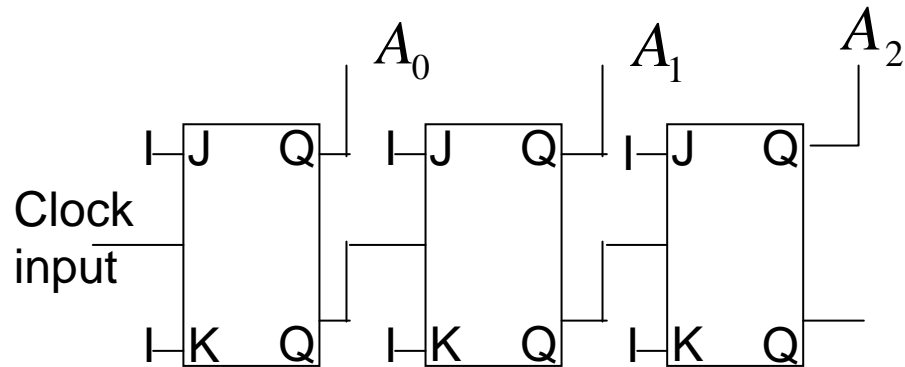
Logika "0" tersebut masuk sebagai input j-k flip-flop yang pertama akibatnya maka QA tetap pada kondisi semula (tidak berguling).

DOWN COUNTER (PENYACAH MUNDUR TIDAK SINKRON)

A

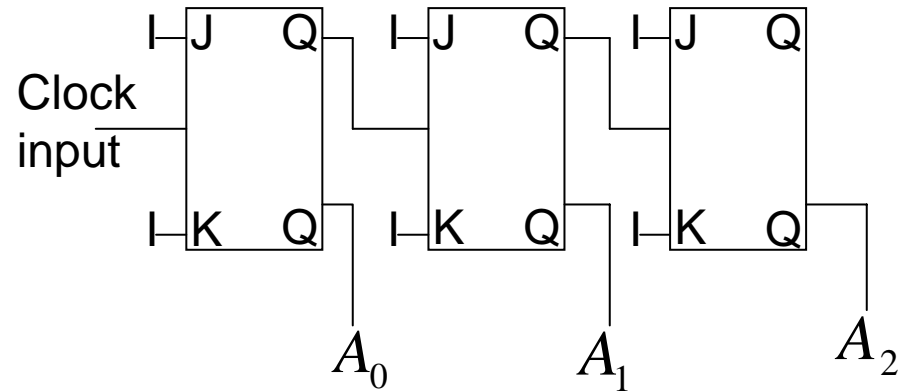


B

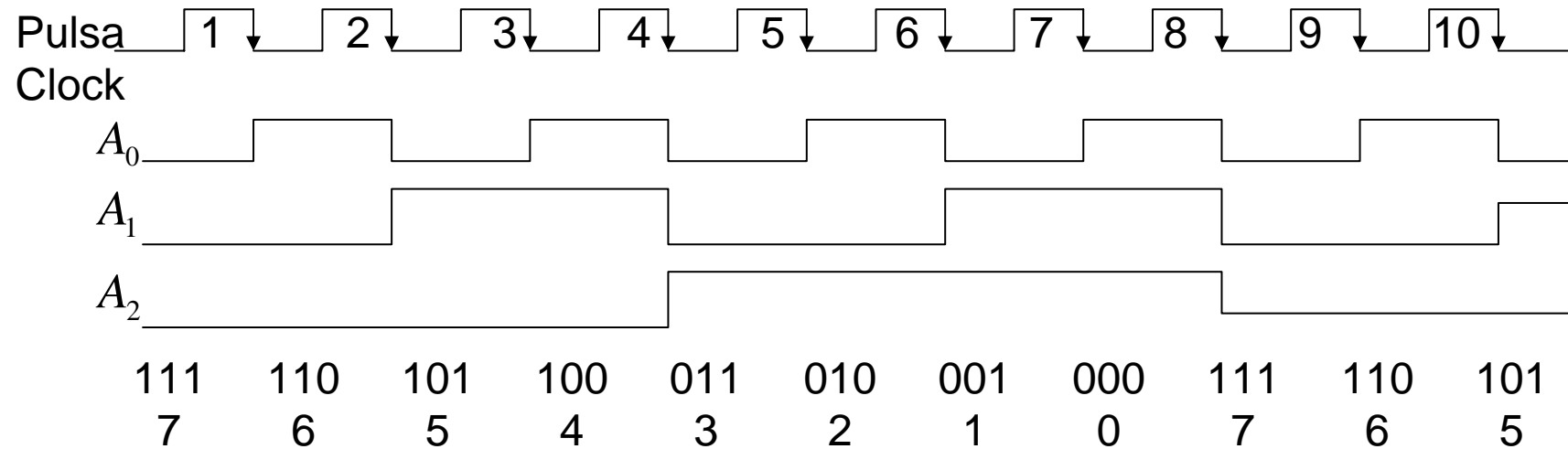


Down Counter

A_2	A_1	A_0	DECIMAL COUNT
1	1	1	7
1	1	0	6
1	0	1	5
1	0	0	4
0	1	1	3
0	1	0	2
0	0	1	1
0	0	0	0
1	1	1	7
1	1	0	6
1	0	1	5
1	0	0	4

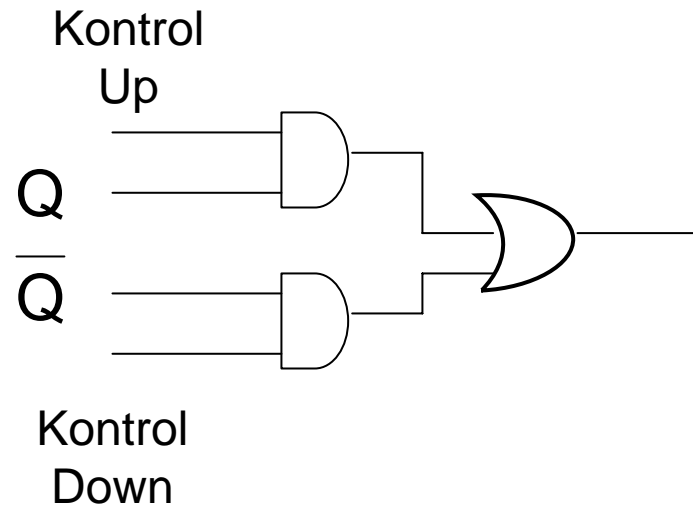


Binary Ripple Downn Counter MOD 8



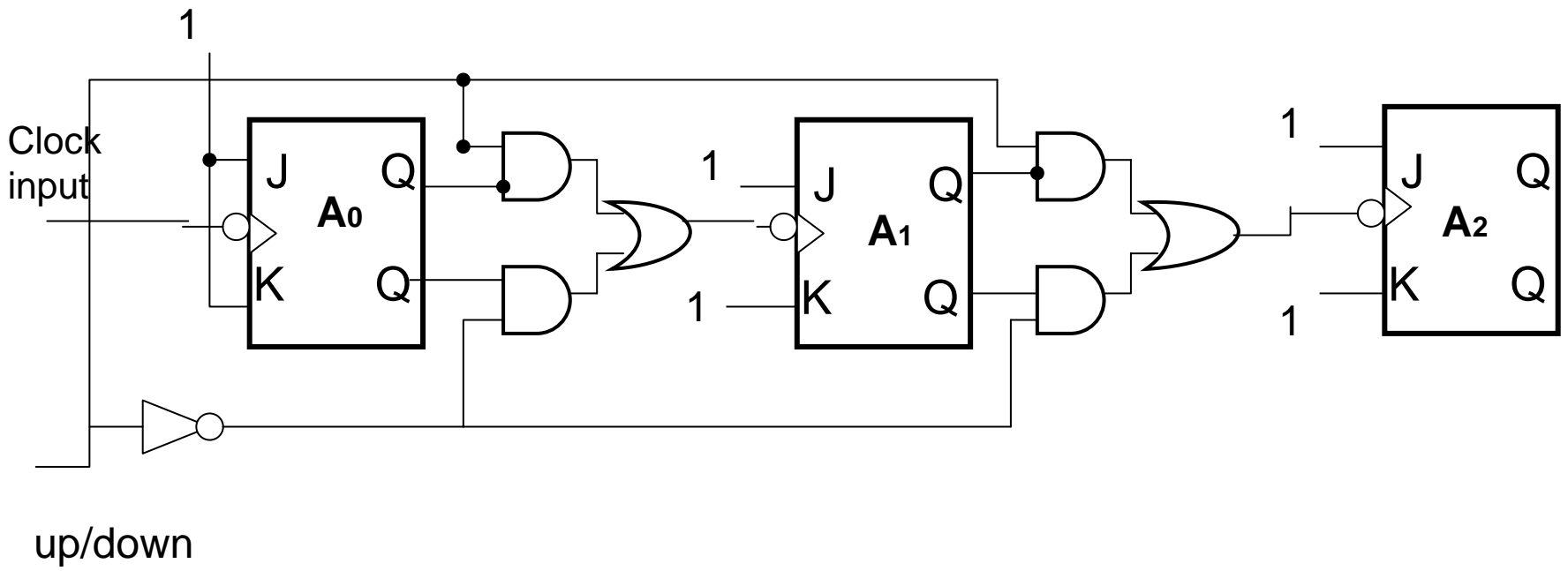
UP-DOWN COUNTER

Pengontrol Up-Down



- Bila dioperasikan sebagai Up counter maka rangkain tersebut akan melewati output Q sebagai sinyal clock flip-flop berikutnya.
- Bila dioperasikan sebagai Down counter yang dilewatkan adalah Q' .

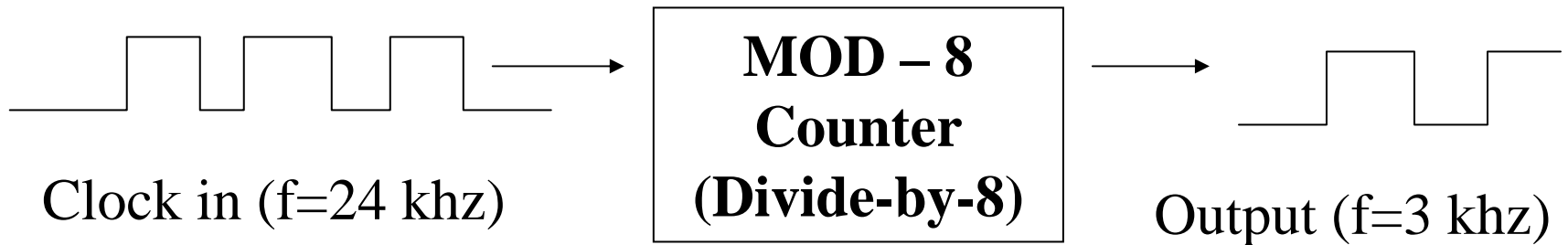
- Up counter bekerja bila input kontrol Up = '1' dan input kontrol Down = '0'.
- Down counter bekerja bila input kontrol Up = '0' dan input kontrol Down = '1'.



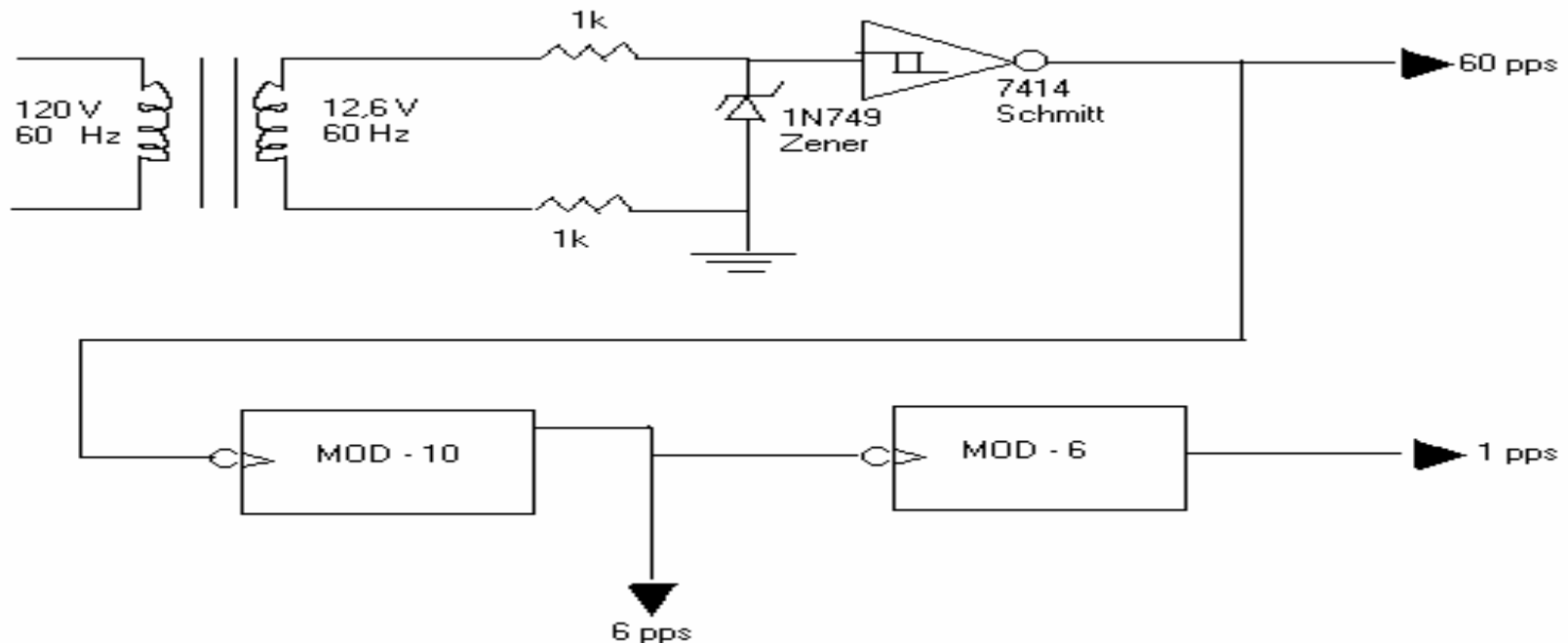
Rangkaian 3-bit Up/Down Counter Asynkronous

Aplikasi Ripple Counter

1. Rangkaian Pembagi Frekuensi

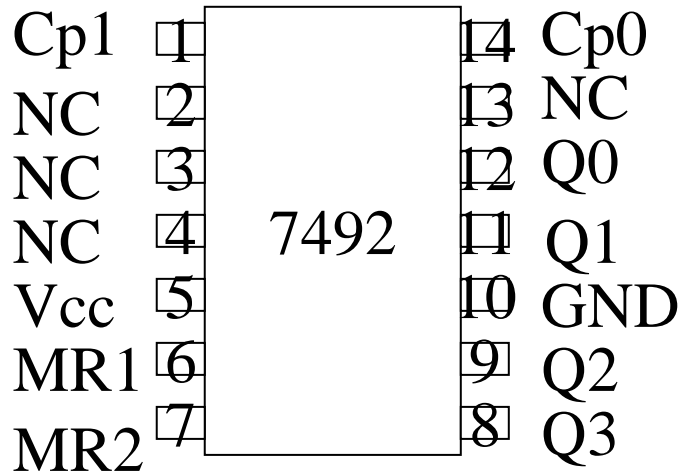


2. Rangkaian pembangkit pulsa

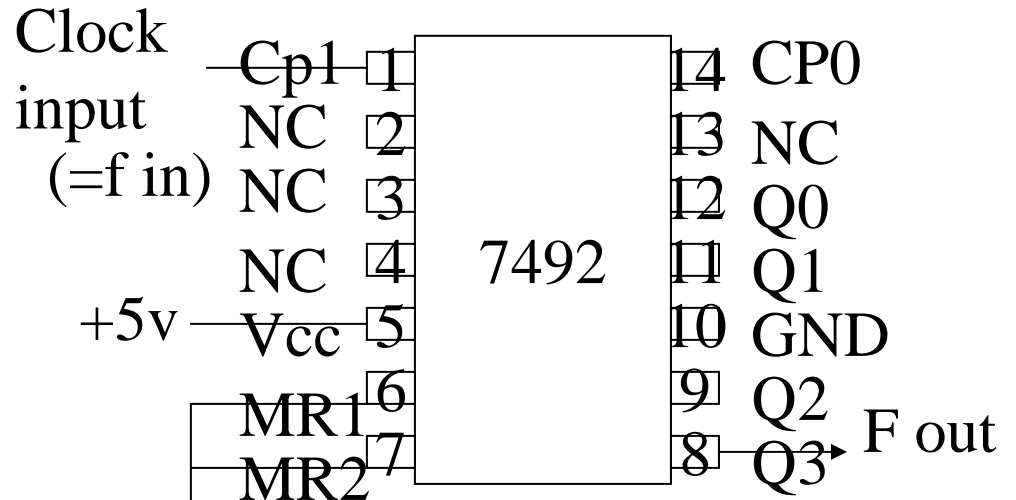


IC Ripple Counter

2. Divide-by-12/Divide-by-ripple Counter (7492)

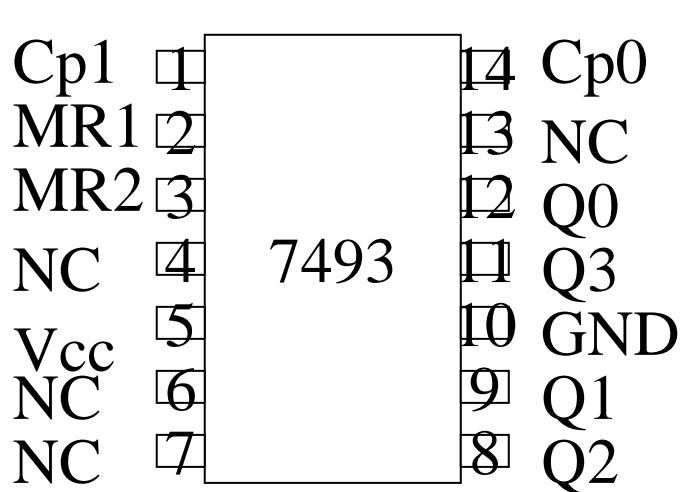


Konfigurasi pin 7492

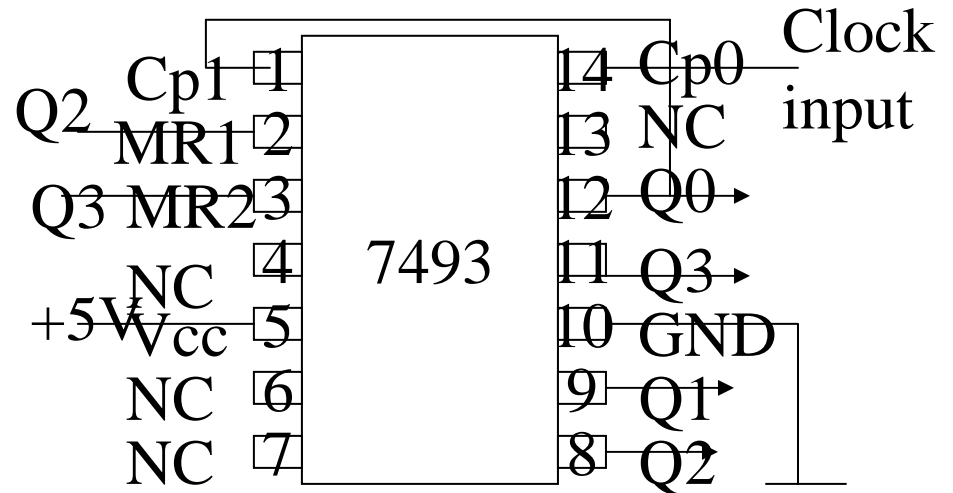


7492 sebagai pembagi frekuensi

3. Devide-by-16/Devide-by-Ripple Counter (7493)

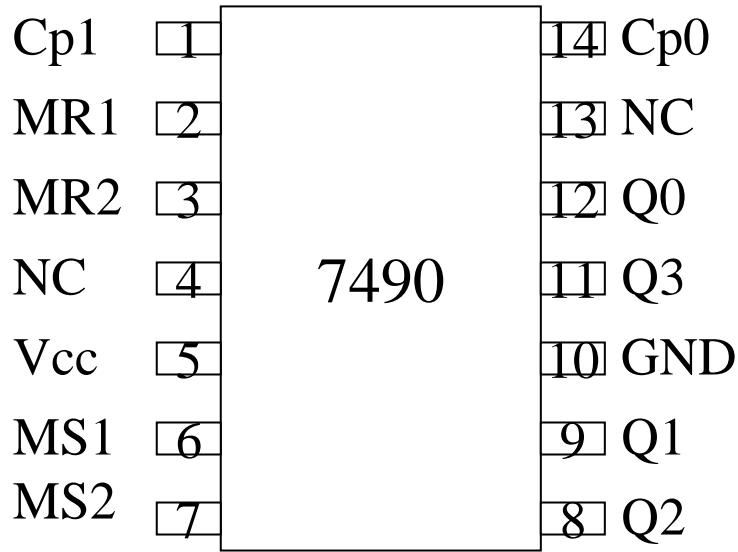


Konfigurasi pin 7493

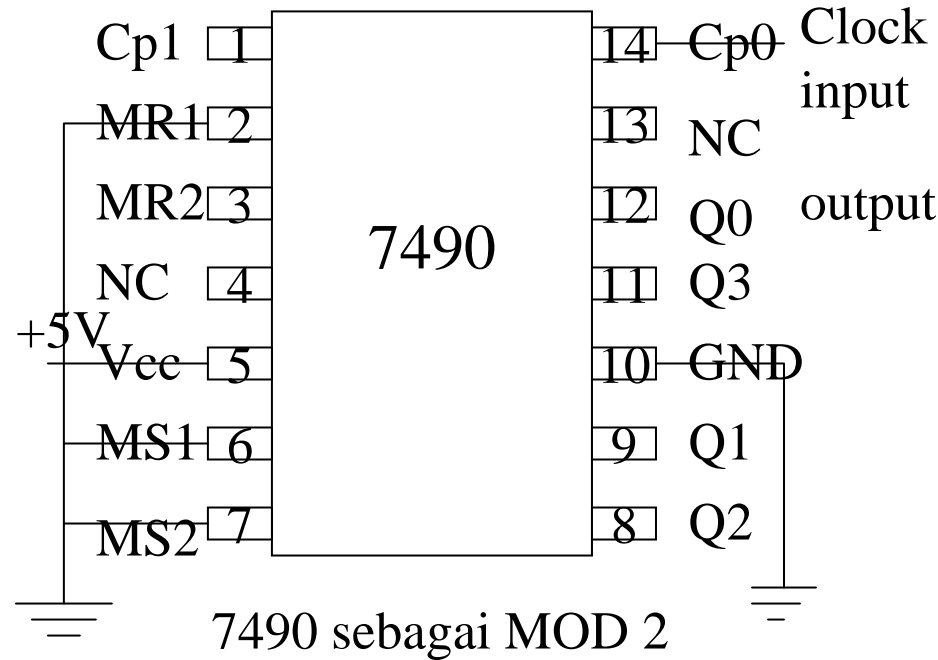


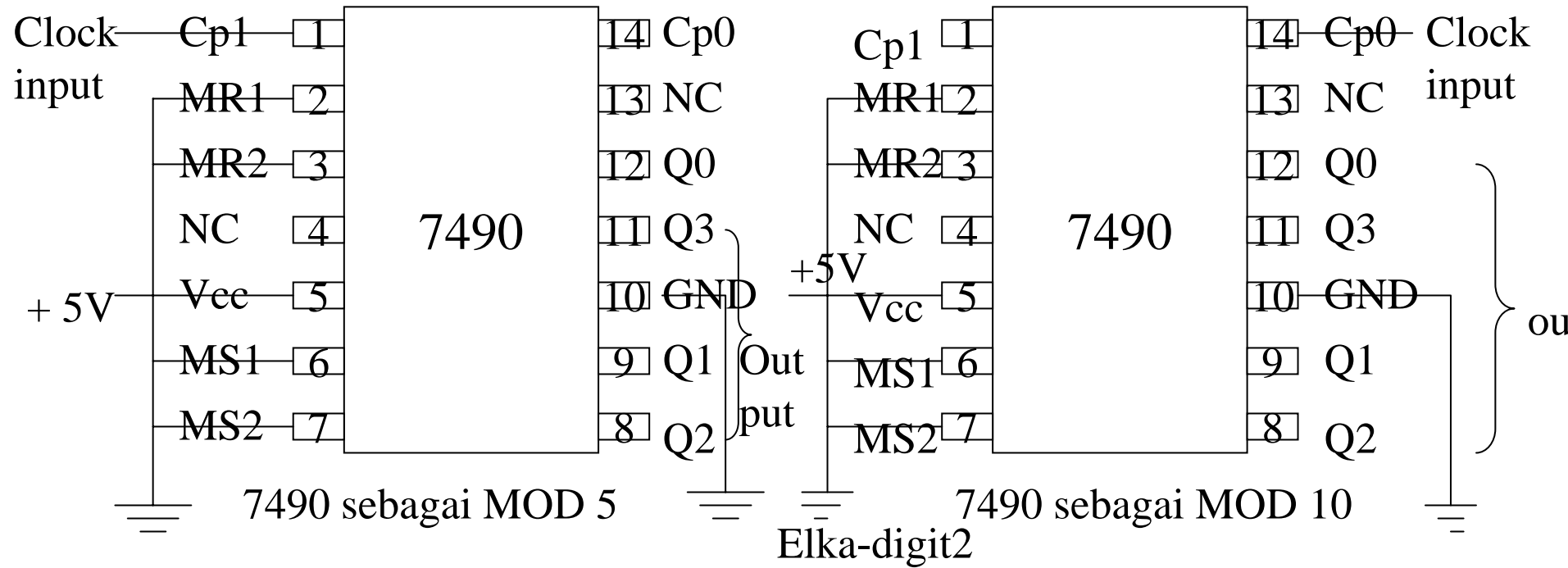
7493 sebagai MOD 12

1. Decade/BCD Counter (7490)



Konfigurasi pin 7490





Pre-settable Ripple Counter

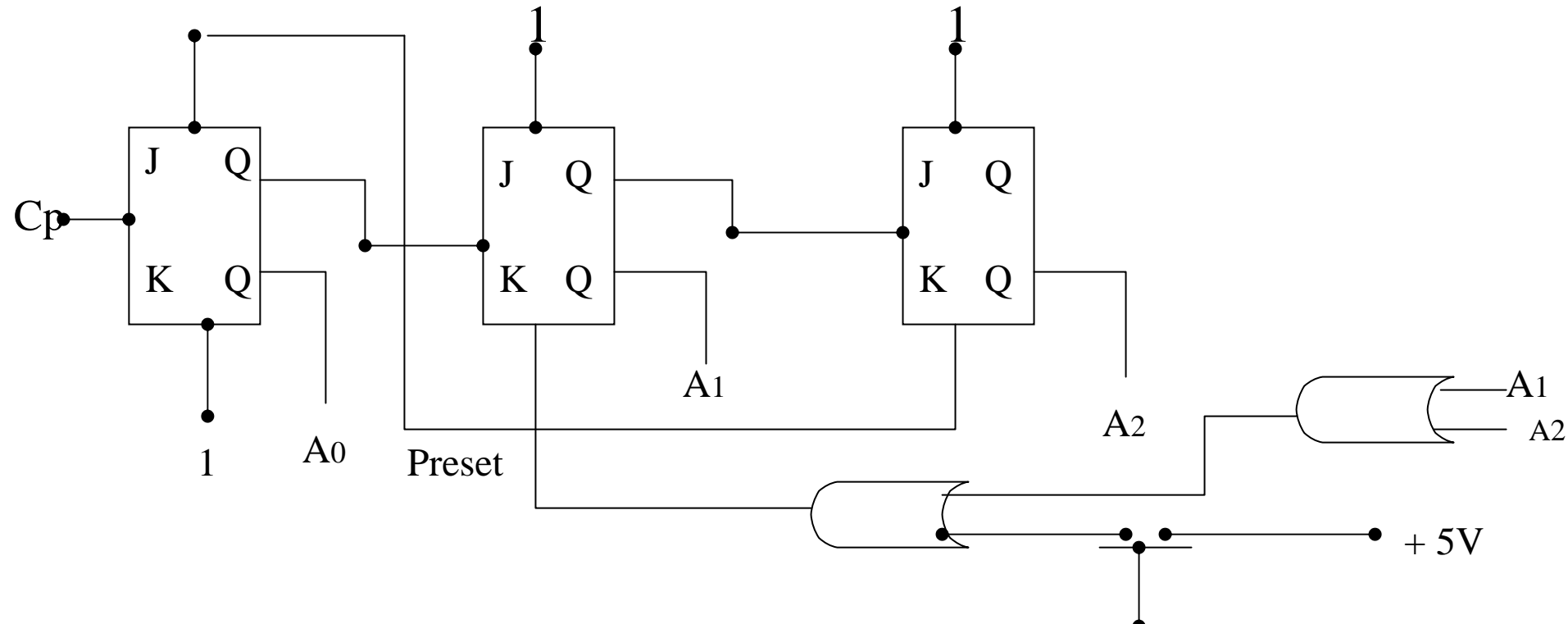
Counter dimana proses penghitungannya dapat dimulai dari sembarang bilangan (untuk Up Counter tidak harus dari 0000, dan untuk Down Counter tidak harus dari 111)

Operasi Presetting –nya dinamakan **Parallel Load**, dimana input – input asinkronnya di aktifkan

Contoh :

Disain Down counter yang dapat menghitung dalam urutan

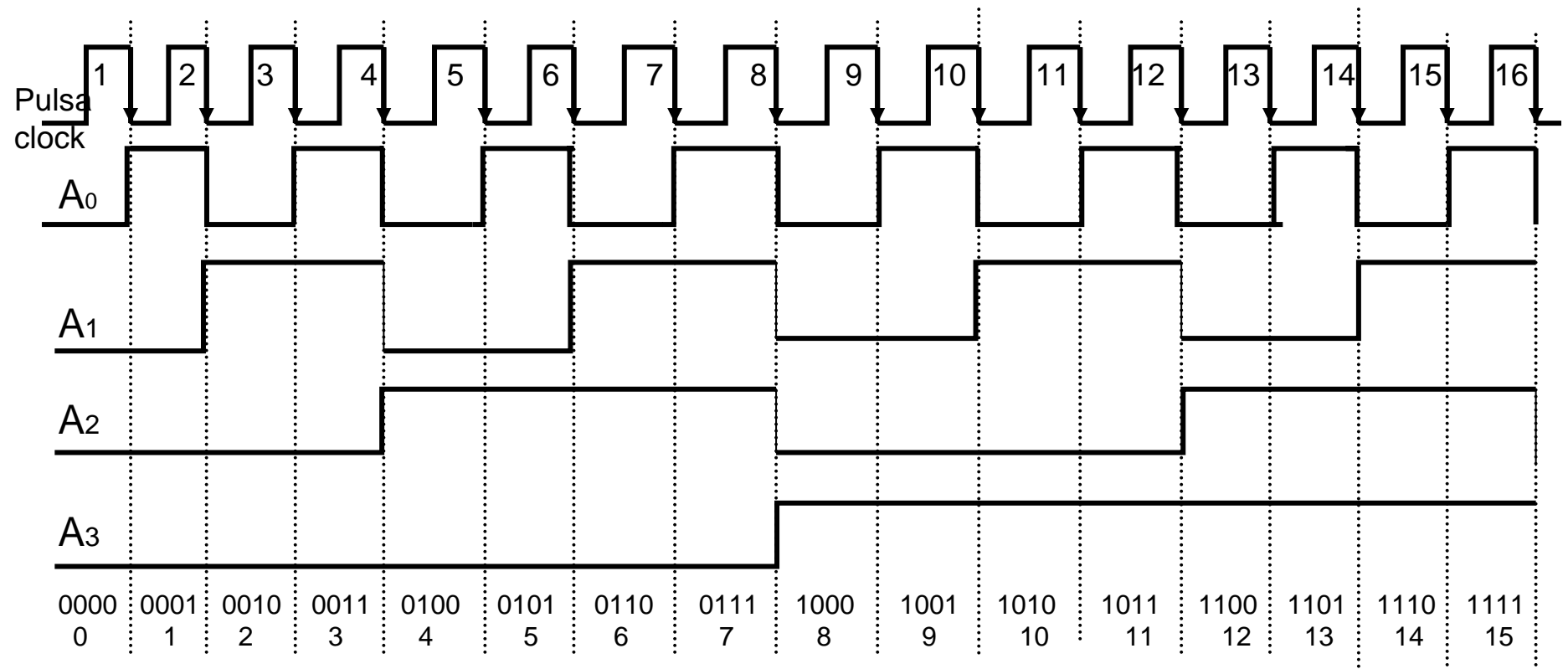
6-5-4-3-2-6-5-4-3-2-6-5-dst



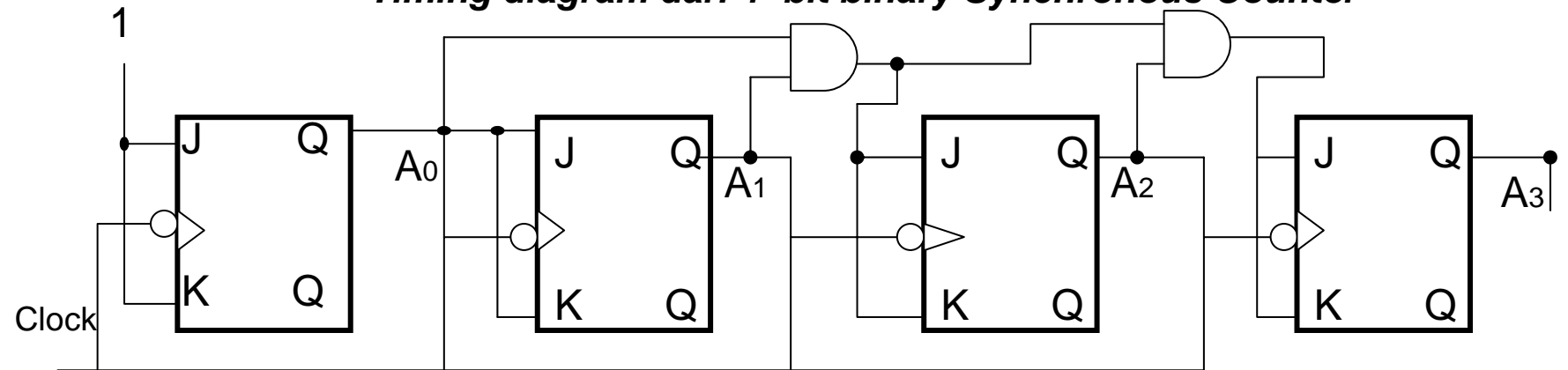
SYNCHRONOUS COUNTER

Synchronous counter = Parallel Counter

- ★ Counter terdiri dari beberapa Flip-Flop yang saling di-cascadekan
- ★ Pada Counter Sinkron, seluruh FF yang di-cascadekan di trigger Bersama-sama(paralel) oleh sebuah sumber clock.
- ★ Pada Counter Sinkron, delay propagasi dapat dihindari, karena input-Input clock dari seluruh FF diberi sumber yang sama.
- ★ Penyacah sinkron responnya serempak dengan datangnya pulsa clock, sehingga cocok untuk dioperasikan dalam kecepatan tinggi atau frekuensi tinggi.
- ★ Untuk menunjang operasinya yang cepat, penyacah sinkron masih memerlukan gate-gate tambahan.

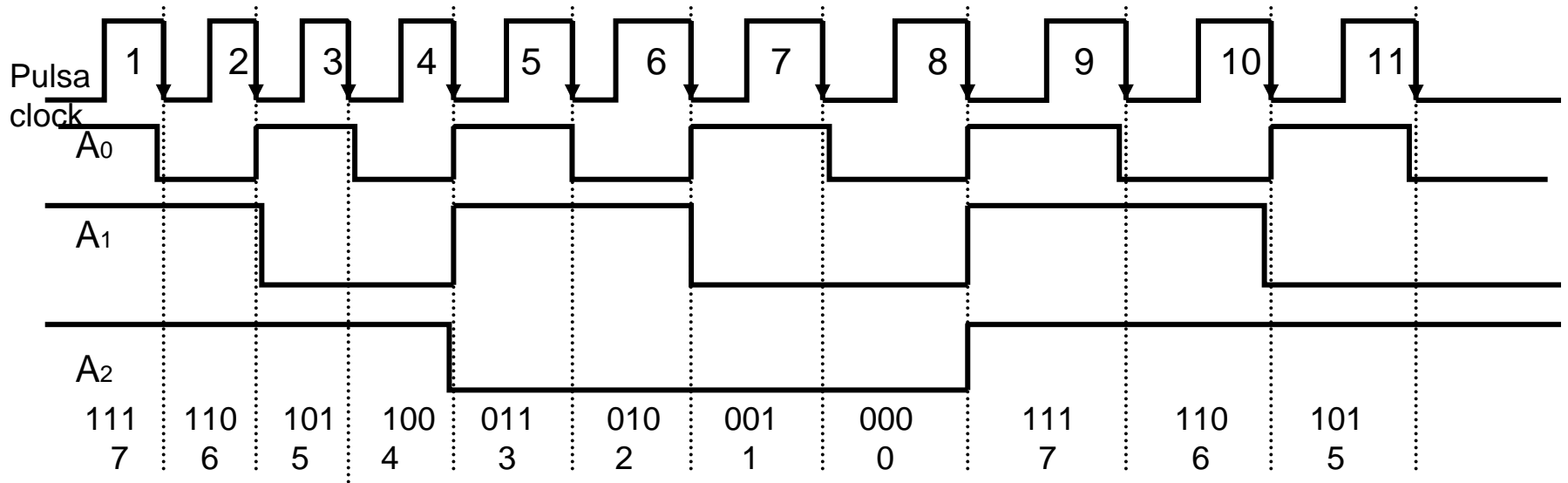


Timing diagram dari 4-bit binary Synchronous Counter

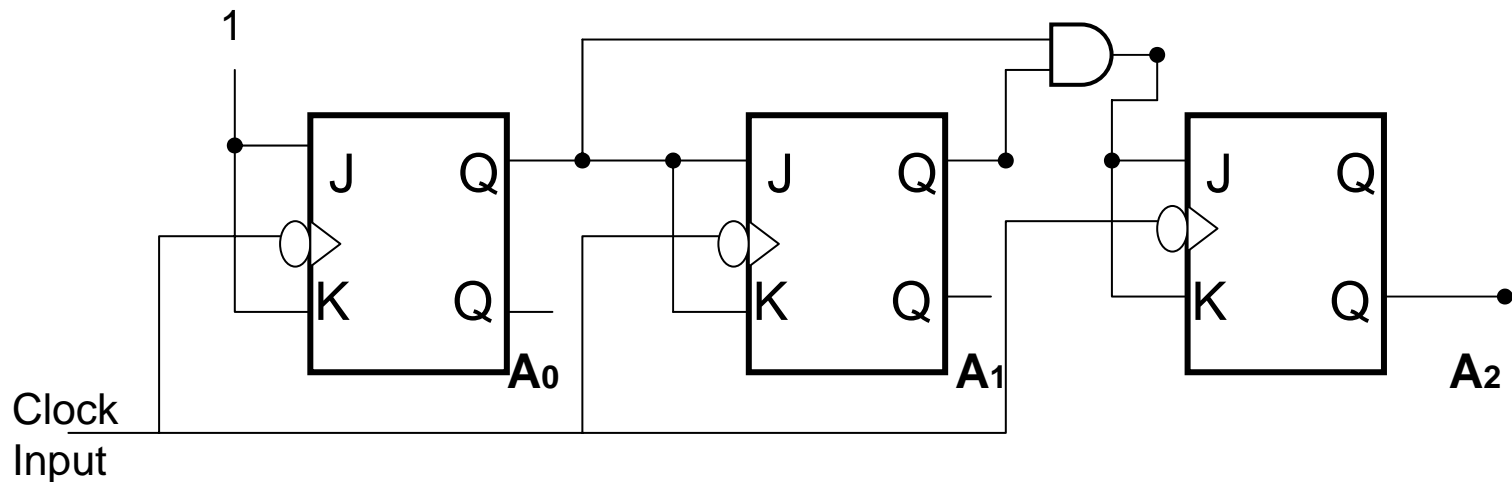


Rangkaian 4-bit binary Synchronous Counter

Synchronous Down Counter

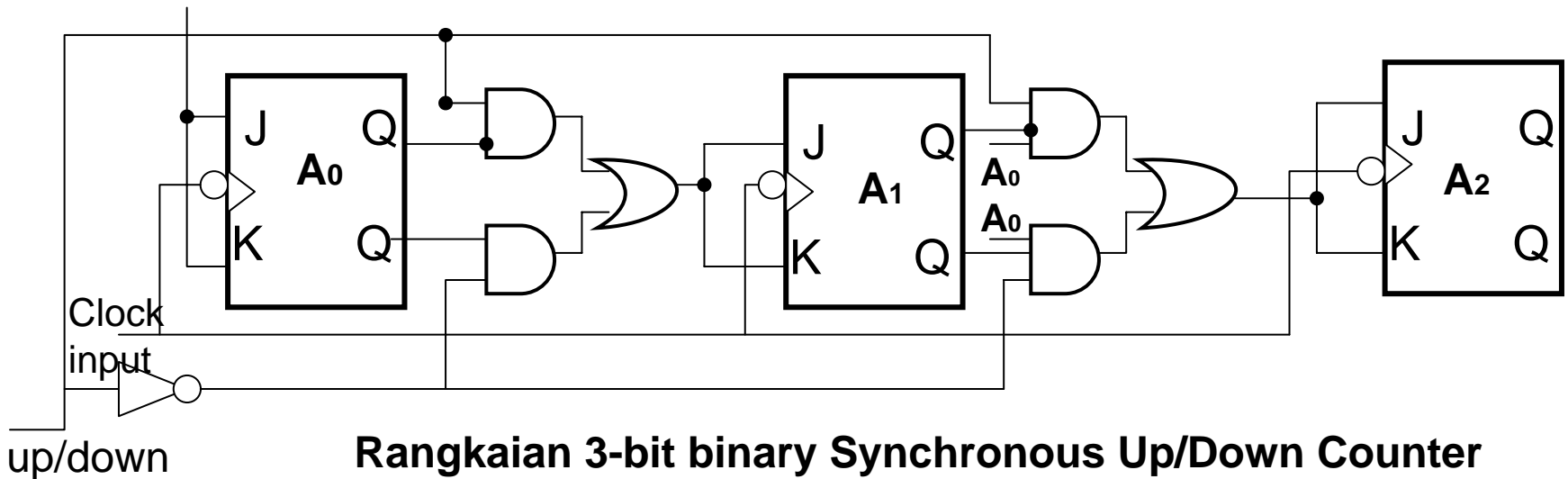
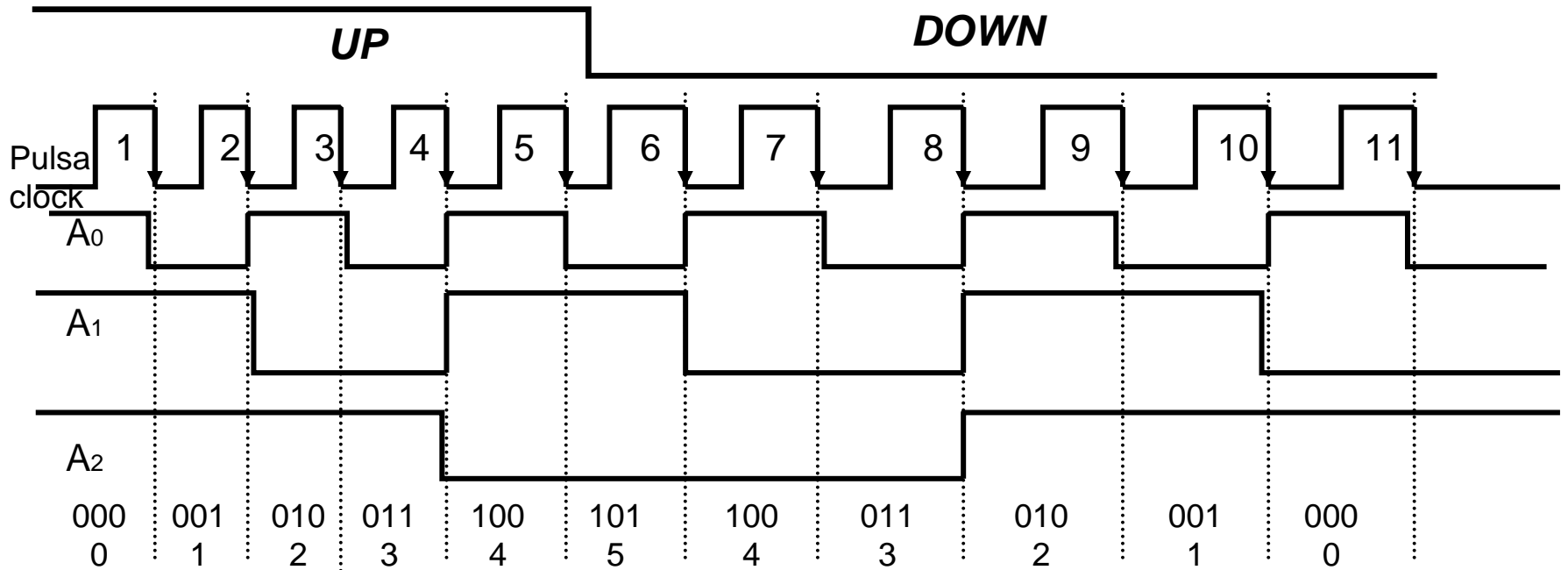


Timing diagram dari 3-bit binary Synchronous Down Counter



Rangkaian 3-bit binary Synchronous Down Counter

Synchronous Up Down Counter



K-MAP untuk 3-bit binary Counter

$A_1 A_0 / A_0$	00	01	11	10
0	0	0	1	0
1	0	0	1	0

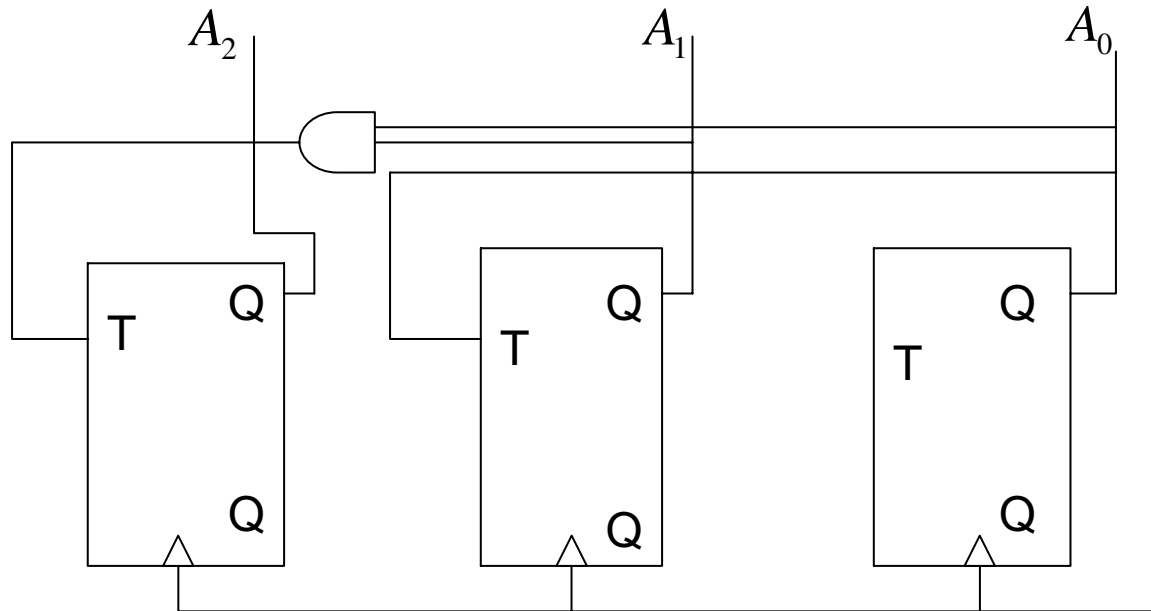
$$TA_2 = A_1 A_0$$

$A_1 A_0 / A_0$	00	01	11	10
0	0	1	1	0
1	0	1	1	0

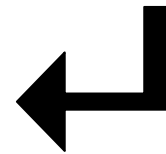
$$TA_1 = A_0$$

$A_1 A_0 / A_0$	00	01	11	10
0	1	1	1	1
1	1	1	1	1

$$TA_0 = 1$$



Rangkaian 3-bit Binary Counter (dengan T-FF)



Pulsa Clock

**Soal Rancang Counter Modulo 6 dan Counter
2 4 2 1 Sincron dengan bantuan table J-K
Flip-flop**

Tabel Kebenaran J – K *Flip Flop*

J	K	Q_n+1
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Dari Tabel Kebenaran diperoleh :

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Contoh

1. Rancang counter syncron MODULO-6

CLOCK	A	B	C
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	0	0	0

AB

C	0	0	X	X
	0	1	X	X

$$JA=BC$$

AB

C	X	X	X	0
	X	X	X	1

$$K_A=C$$

AB

C	0	X	X	0
	1	X	X	0

$$JB=\overline{AC}$$

AB

C	X	0	X	X
	X	1	X	X

$$K_B=C$$

AB

C	1	1	X	1
	X	X	X	X

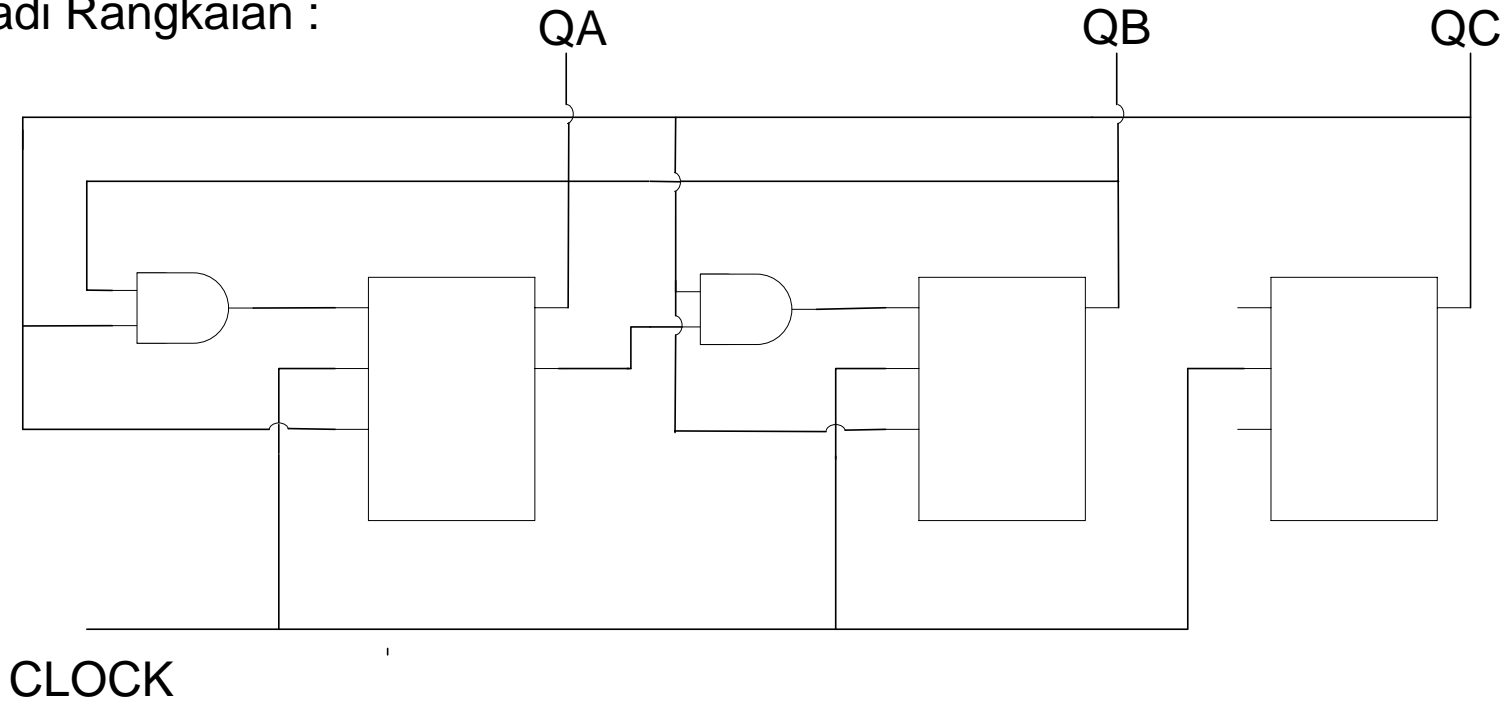
JC=1

AB

C	X	X	X	X
	1	1	X	1

$K_C=1$

Jadi Rangkaian :



2. RANCANG COUNTER 2421 BCD

Sebagaimana telah diketahui, sandi 2421 BCD mengganti angka-angka desimal dari 0, 1, 2, 9

		2	4	2	1
DESIMAL	CLOCK	A	B	C	D
0	0	0	0	0	0
1	1	0	0	0	1
2	2	0	0	1	0
3	3	0	0	1	1
4	4	0	1	0	0
11	5	1	0	1	1
12	6	1	1	0	0
13	7	1	1	0	1
14	8	1	1	1	0
15	9	1	1	1	1

CD	AB	0	1	X	X
	0	0	X	X	X
	0	0	X	X	X
	0	0	X	X	X

$$jA = B$$

CD	AB	0	X	X	X
	0	0	X	X	X
	1	0	X	X	1
	0	0	X	X	X

$$jB = CD$$

CD	AB	0	1	0	X
		1	X	1	X
		X	X	X	X
		X	X	X	X

$$jC = 0 + \overline{A} B$$

CD	AB				

$$jD = 1$$

CD	AB	X_0	X_4	X_{12}	X_8
		X_1	X_5	X_{13}	X_9
		X_3	X_7	X_{15}	X_{11}
		X_2	X_6	X_{14}	X_{10}

$$kA = BCD$$

CD	AB	X	1	0	X
		X	X	0	X
		X	X	1	X
		X	X	0	X

$$kB = \bar{A} + CD$$

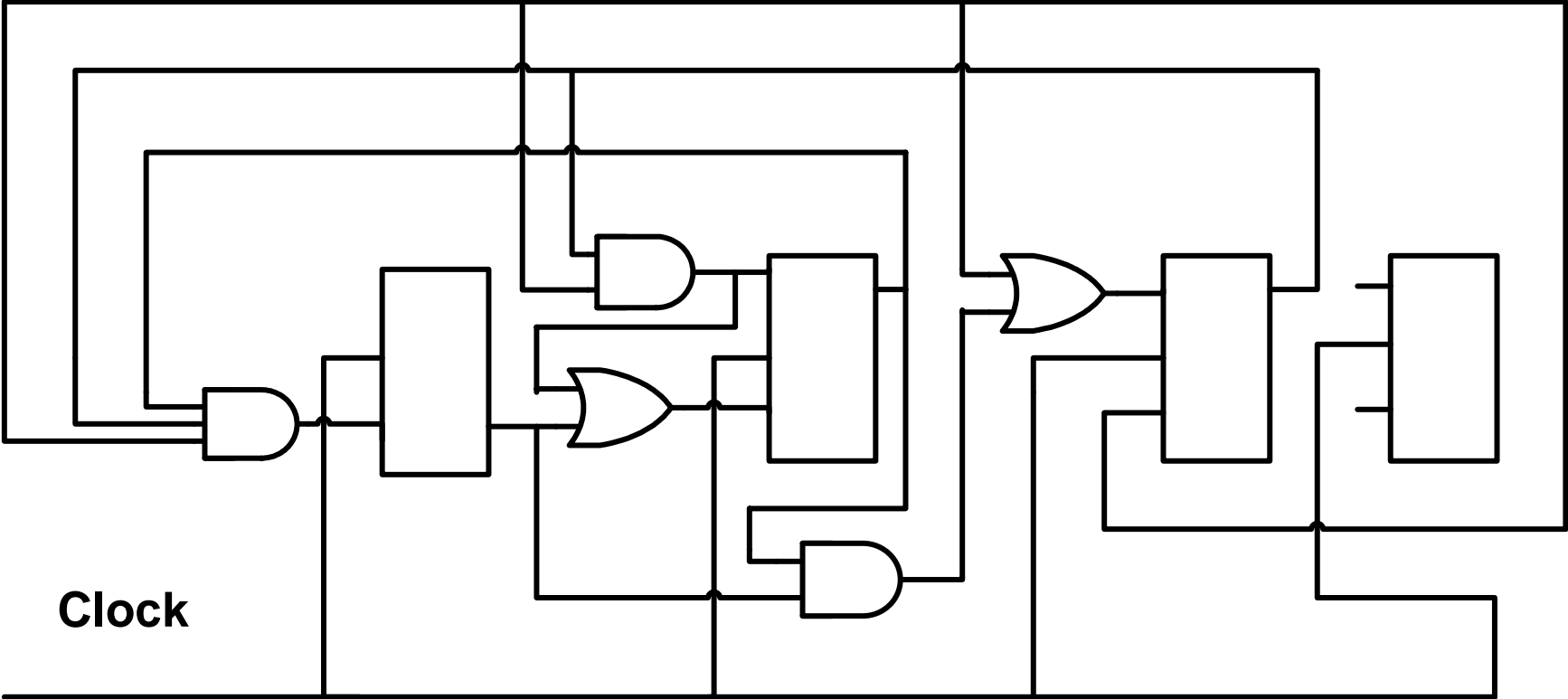
CD	AB				
		X	X	X	X
		X	X	X	X
		1	X	1	1
		0	X	0	X

$kC = D$

CD	AB				

$kD = 1$

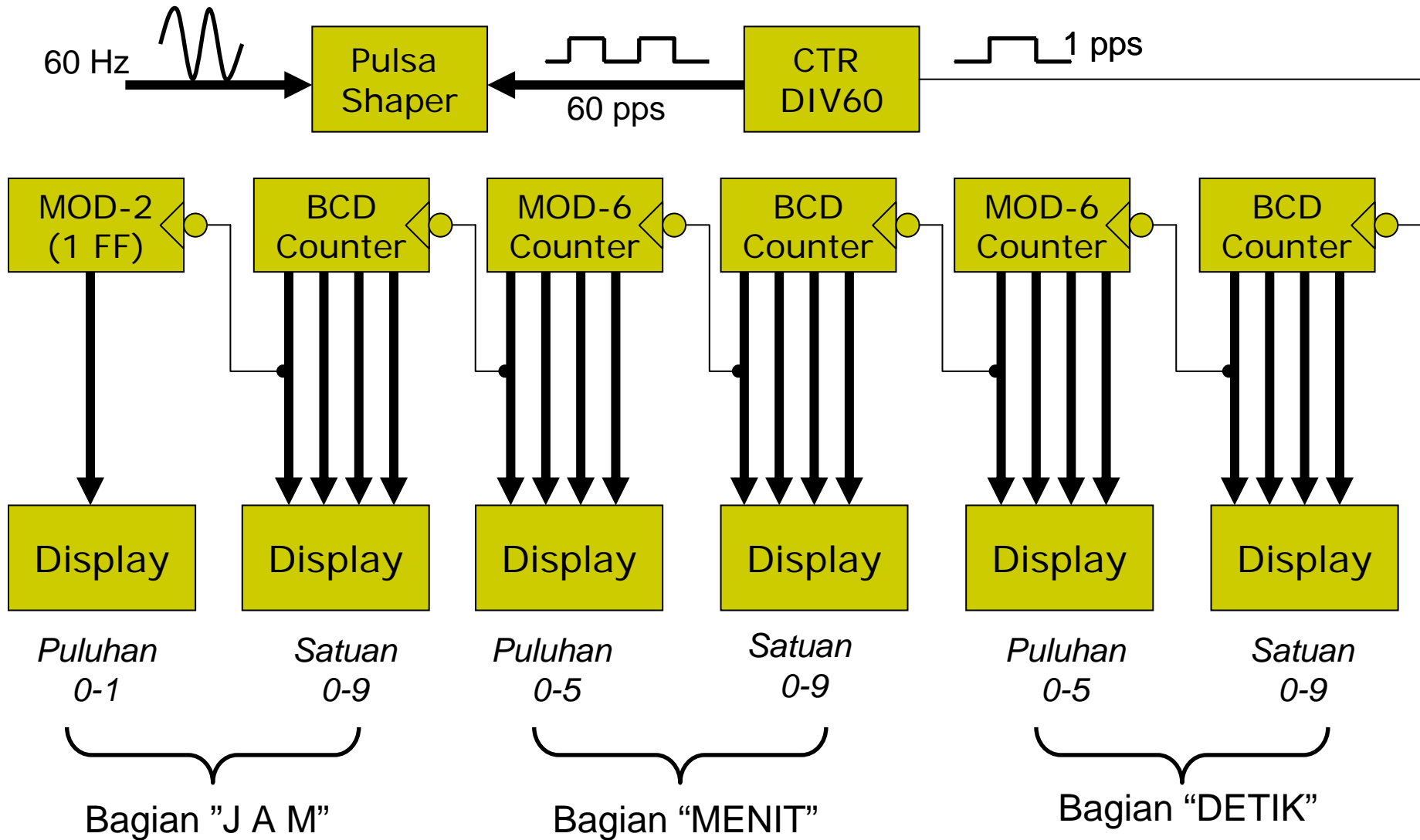
Jadi rangkaian counter sinkron 2421 :



J

A1

APLIKASI COUNTER



Latihan Soal :

1. Dengan menggunakan metode *Toggle*, buatlah rangkaian dari ripple counter sebagai pembagi frekuensi, dari frekuensi clock input 10 kHz menjadi 2 kHz.
2. Buatlah sebuah ripple down Counter MOD-7 yang dapat menghitung dengan urutan 10,9,8,7,6,5,4,10,9,8,7,...dst.
3. Dengan menggunakan metode sintesa rangkaian, selesaikan soal nomor 2.

4. Buat sebuah counter sinkron yang berfungsi sebagai *stop watch* (dengan hitungan maksimum 99)
5. Disain sebuah Up/Down Counter MOD-16. Lengkapi dengan Tabel Kebenaran.