

2

FLIP-FLOP

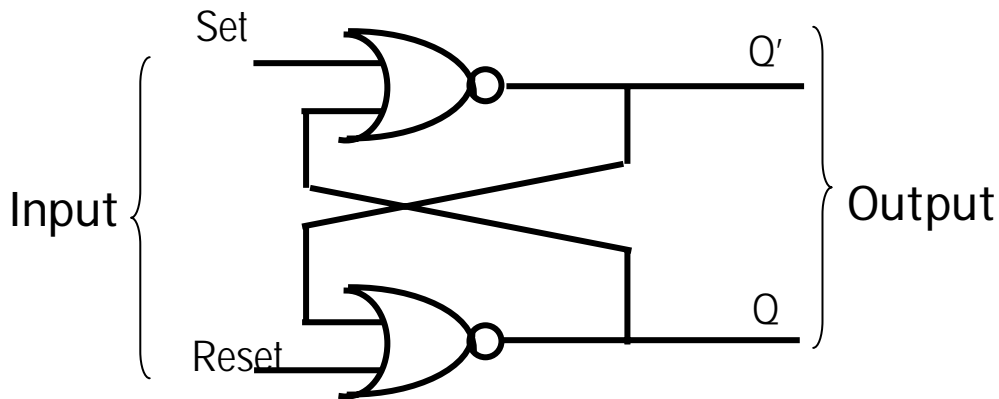
TUJUAN :

Setelah mempelajari bab ini mahasiswa diharapkan mampu :

- Menjelaskan rangkaian dasar SR-FF dan SR-FF dengan gate
- Membandingkan operasi dari rangkaian D Latch dan D-FF menggunakan timing diagram
- Menguraikan perbedaan antara *pulse-triggered* dan *edge-triggered flip-flop*
- Menjelaskan operasi rangkaian *Master Slave* JK-FF
- Membuat Toggle FF dan D-FF dari JK-FF dan SR-FF
- Menjelaskan operasi *sinkron* dan *asinkron* dari JK-FF dan D-FF menggunakan timing diagram
- Menganalisa dan mendisain rangkaian dengan Flip-flop

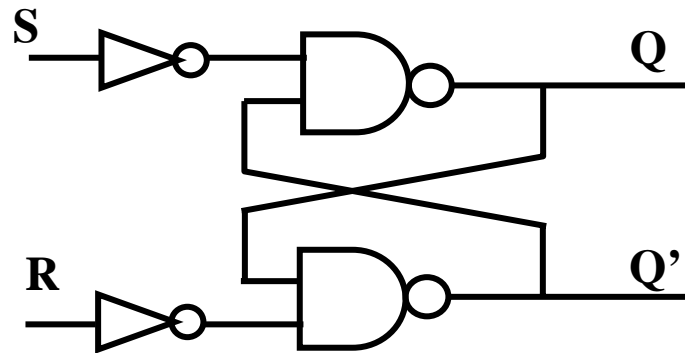
SR-FLIP-FLOP

- merupakan singkatan dari Set & Reset Flip-flop
- Dibentuk dari dua buah NAND gate atau NOR gate
- Operasinya disebut *transparent latch*, karena bagian outputnya akan merespon input dengan cara mengunci nilai input yang diberikan (*latch*) atau mengingat input tersebut.



PRESENT INPUT		PRESENT OUTPUT	NEXT OUTPUT	COMMENT
S	R	Q	Qn	
0	0	0	0	Hold Condition
0	0	1	1	
0	1	0	0	Flip-Flop Set
0	1	1	0	Flip-Flop Reset
1	0	0	1	Not Used
1	0	1	1	
1	1	0	*	Not Used
1	1	1	*	

Cross-NOR SR Flip-Flop



Cross-NAND SR Flip-Flop

PRESENT INPUT		PRESENT OUTPUT	NEXT OUTPUT	COMMENT
S	R	Q	Qn	
0	0	0	0	Hold Condition
0	0	1	1	
0	1	0	0	Flip-Flop Reset
0	1	1	0	
1	0	0	1	Flip-Flop Set
1	0	1	1	
1	1	0	*	Not Used
1	1	1	*	

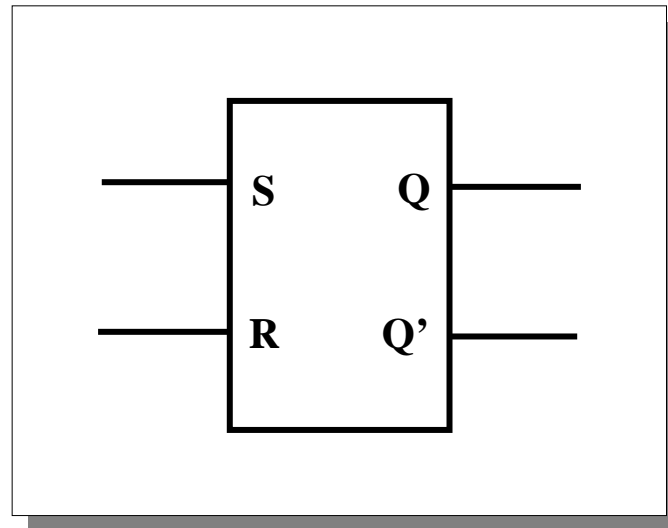
State Table dari SR-FF

Persamaan Next State SR-FF

$$Q(t + \Delta) = S(t) + \bar{R}(t)Q(t)$$

PRESENT OUTPUT	NEXT OUTPUT	NILAI EKSITASI	
Q (t)	Q (t+Δ)	S (t)	R (t)
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

Tabel Eksitasi dari SR-FF

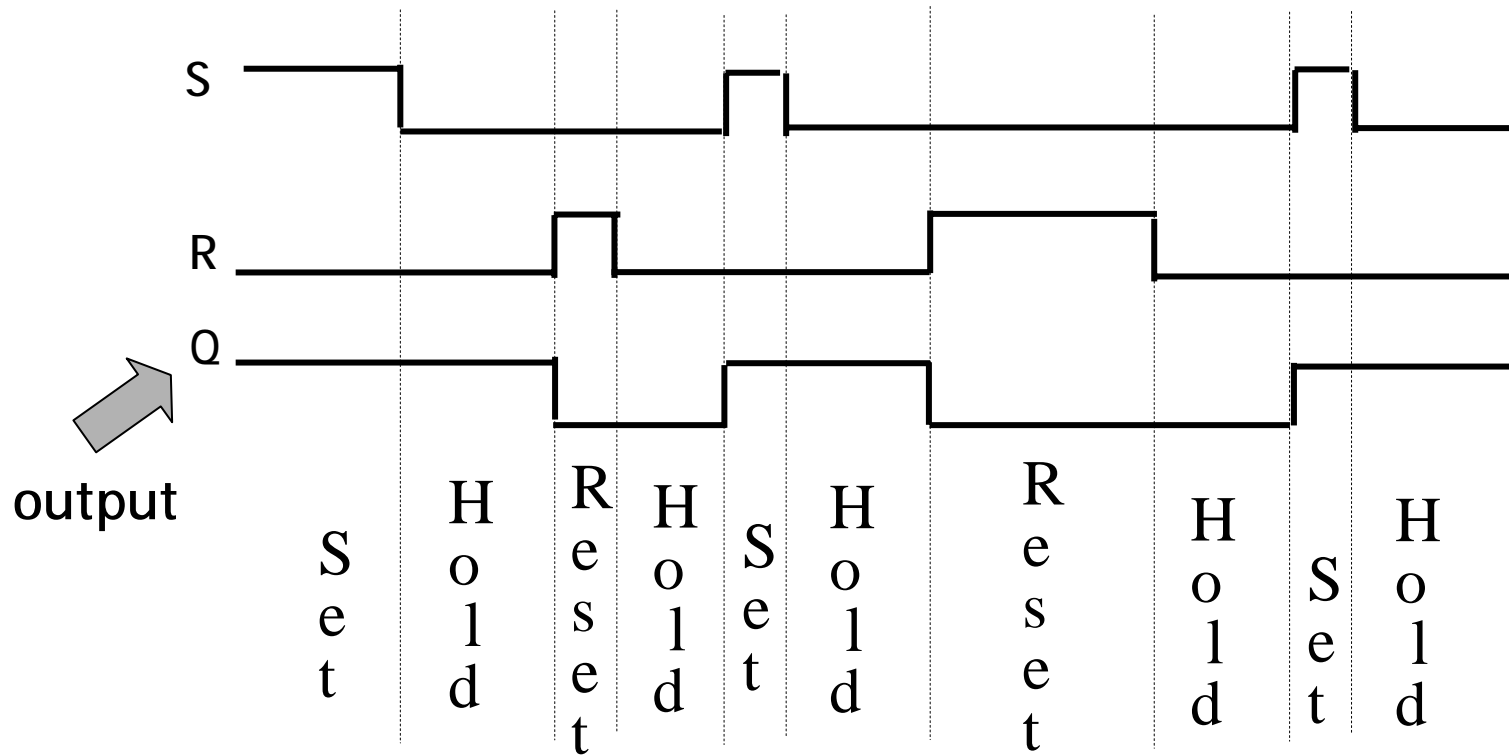


Simbol dari SR-FF

Timing Diagram sebuah SR-FF

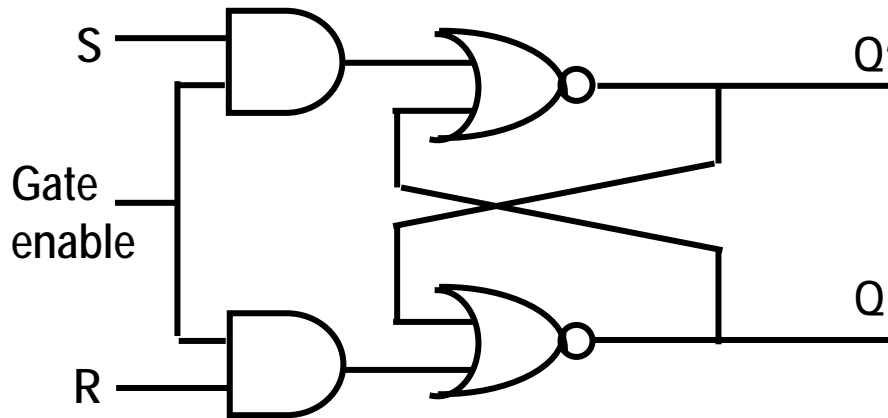
Diketahui :

timing diagram dari input S dan R pada sebuah SR-FF adalah seperti di bawah. Gambarkan timing diagram outputnya.



Gated SR-FF

- ❖ Rangkaian SR-FF yang diberi input tambahan : Gate
- ❖ Gate berfungsi mengontrol output dari SR-FF
- ❖ Gate/Clock merupakan rangkaian sinyal kontinyu
- ❖ Merupakan SR-FF sinkron (karena nilai output berubah sesuai dengan peng-aktifan input gate-nya).



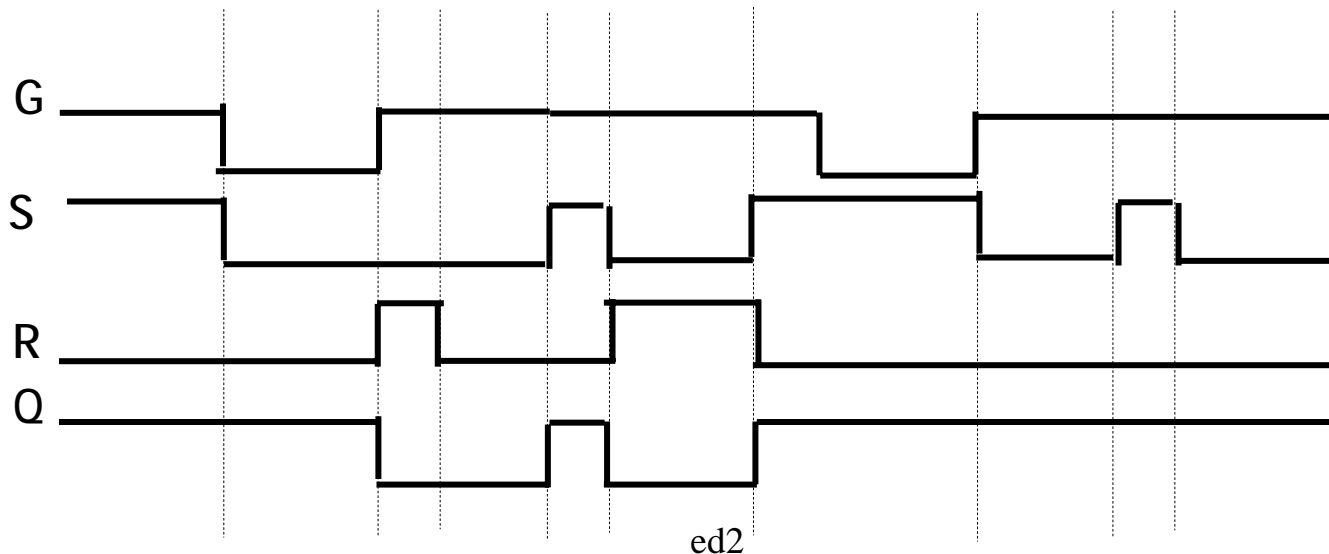
Gated SR-FF

G	S	R	Q	Q'	COMMENT
0	0	0	Q	Q'	Hold
0	0	1	Q	Q'	Hold
0	1	0	Q	Q'	Hold
0	1	1	Q	Q'	Hold
1	0	0	Q	Q'	Hold
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	0	0	Unused

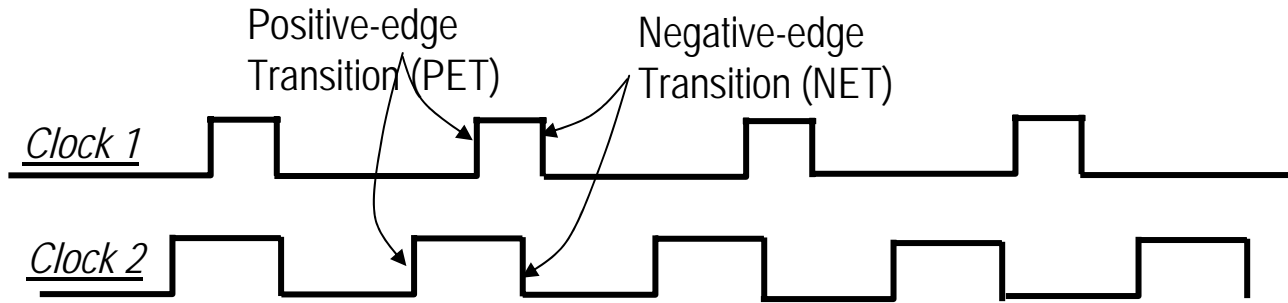
} Gate disable
 } Gate enable

Tabel Fungsi dari Gated SR-FF

Timing Diagram Gated SR-FF

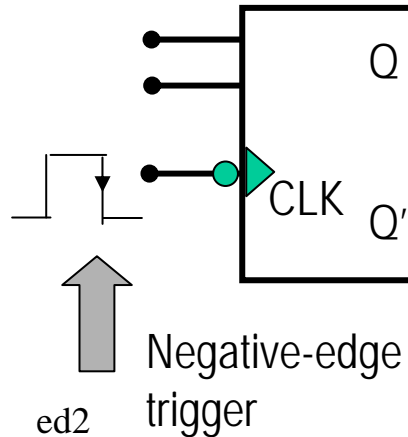
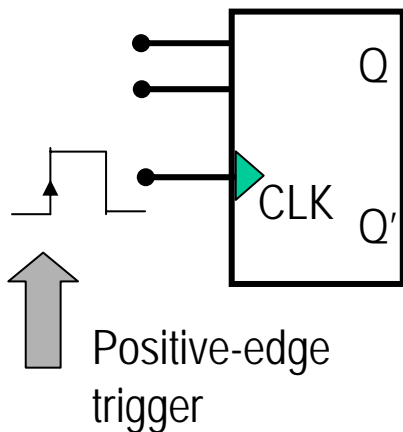


Sinyal Clock

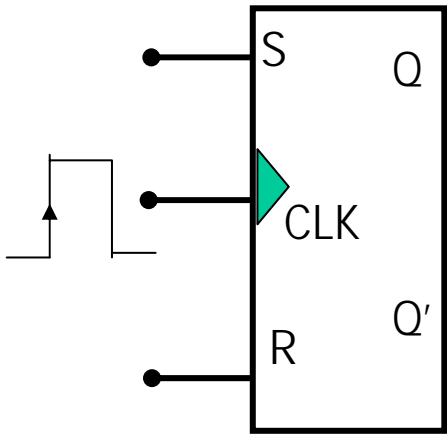


Positive-edge transition : saat clock berpindah dari 0 ke 1
Negative-edge transition : saat clock berpindah dari 1 ke 0

Flip-Flop ber clock

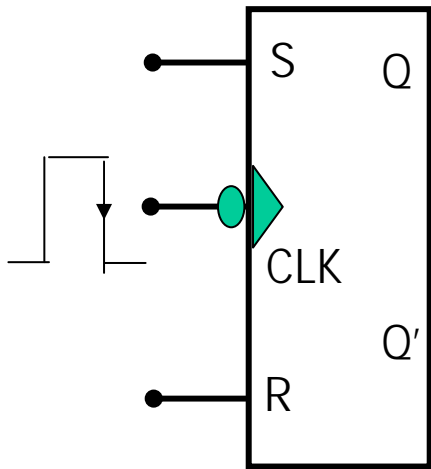
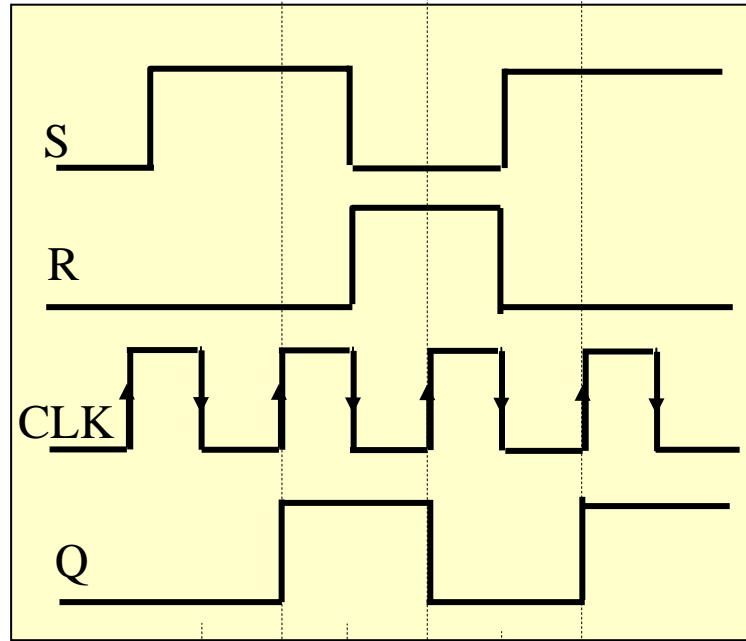


Clocked SR-FF



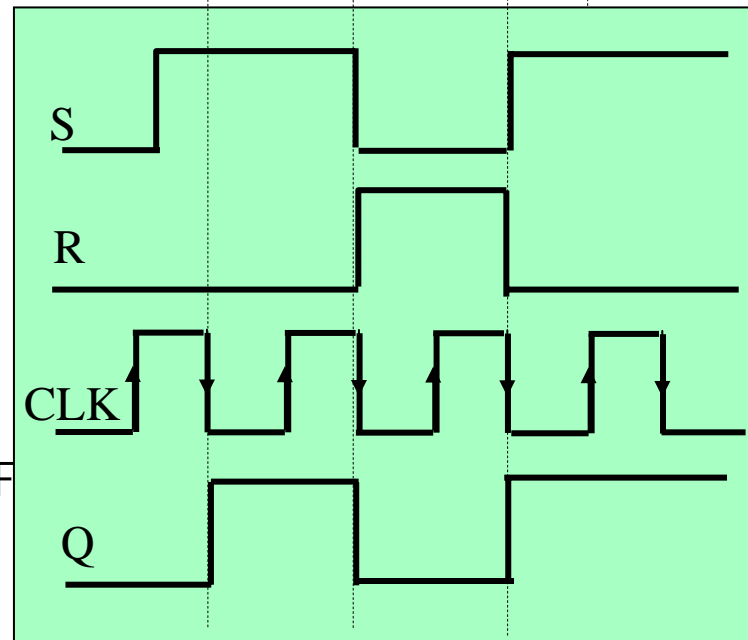
S	R	CLK	OUT
0	0	▲	Hold
0	1	▲	0
1	0	▲	1
1	1	▲	unused

Positive-edge triggered SR-FF



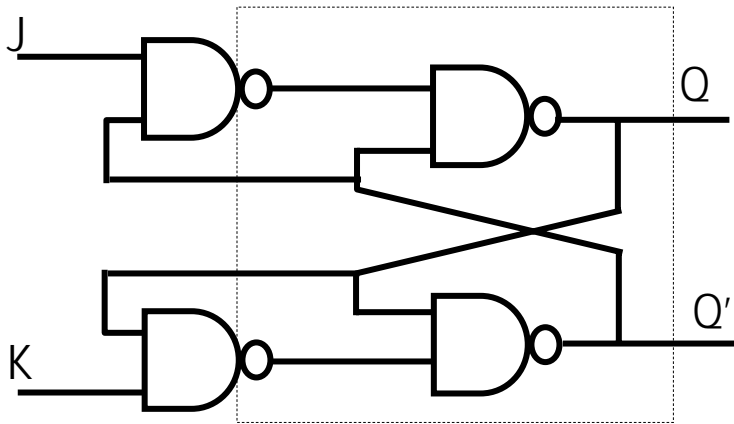
S	R	CLK	OUT
0	0	▼	Hold
0	1	▼	0
1	0	▼	1
1	1	▼	unused

Negative-edge triggered SR-FF

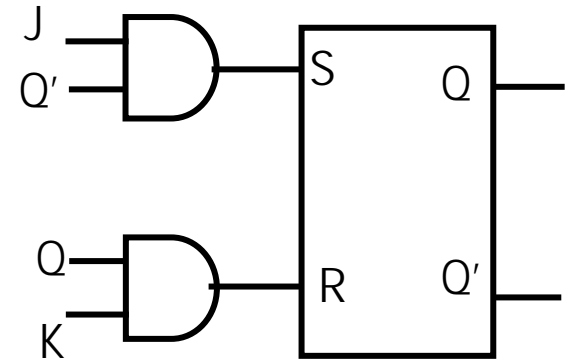


JK-FLIP-FLOP

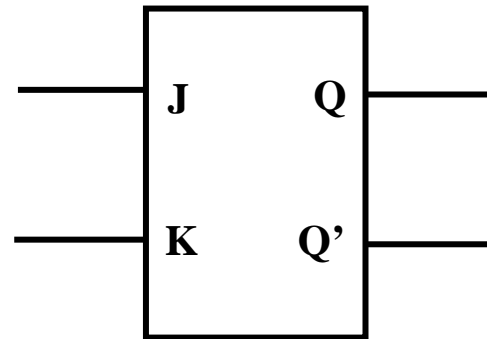
RANGKAIAN DASAR JK-FF



atau



Simbol dari JK-FF



Tabel State dari JK-FF

PRESENT INPUT		PRESENT OUTPUT	NEXT OUTPUT	Comment
J (t)	K (t)	Q (t)	Q (t+Δ)	
0	0	0	0	Hold
0	0	1	1	
0	1	0	0	Set
0	1	1	0	
1	0	0	1	Reset
1	0	1	1	
1	1	0	1	Toggle
1	1	1	0	

Tabel Eksitasi dari JK-FF

PRESENT OUTPUT	NEXT OUTPUT	NILAI EKSITASI	
Q (t)	Q (t+Δ)	J (t)	K (t)
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

Diketahui → Persamaan Next State SR-FF

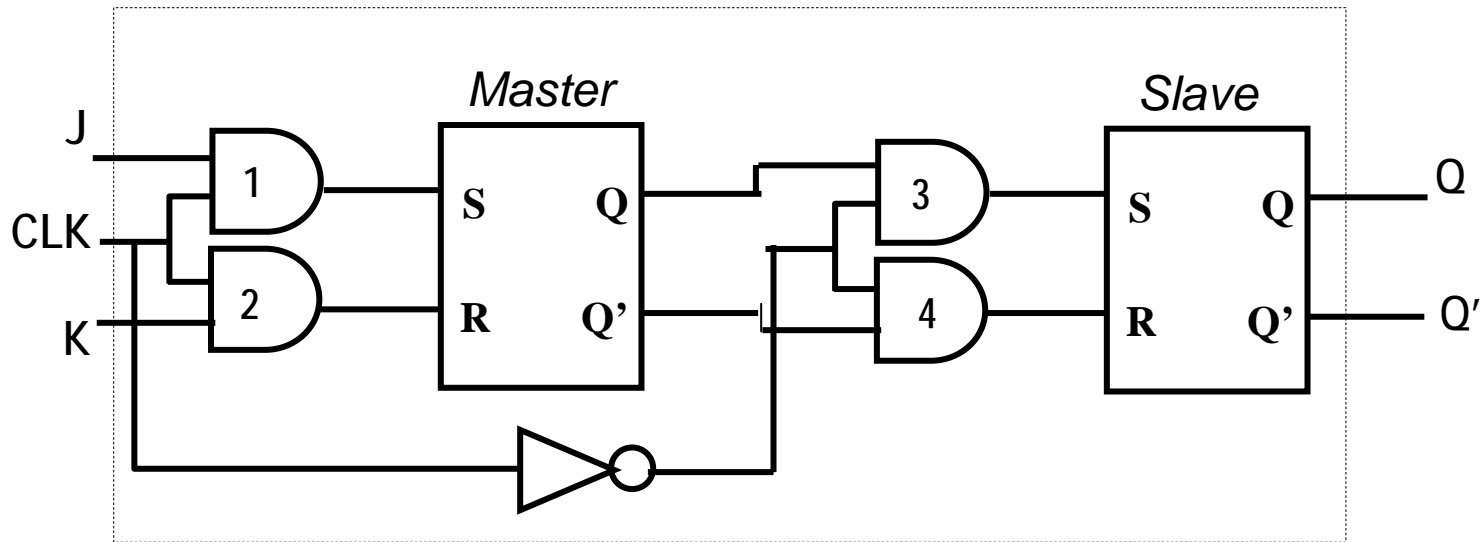
$$Q(t + \Delta) = S(t) + \bar{R}(t)Q(t)$$

Jika : $S(t) = J(t)\bar{Q}(t)$ dan $R(t) = K(t)Q(t)$
maka

Persamaan Next State JK-FF

$$Q(t + \Delta) = J(t)\bar{Q}(t) + \bar{K}(t)Q(t)$$

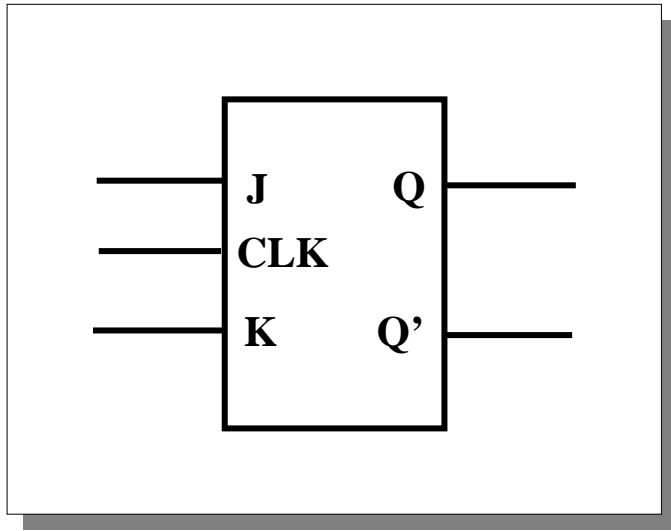
MASTER-SLAVE JK-FF



Rangkaian Ekuivalen MS JK-FF

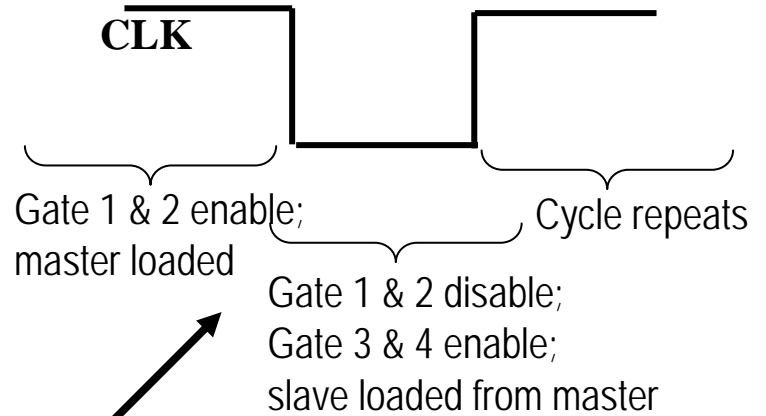
If CLK=1, gate 1 & 2 enable \Rightarrow Master ON \Rightarrow input enable, output disable
 gate 3 & 4 disable \Rightarrow Slave OFF

If CLK=0, gate 1 & 2 disable \Rightarrow Master OFF \Rightarrow input disable, output enable
 gate 3 & 4 enable \Rightarrow Slave ON



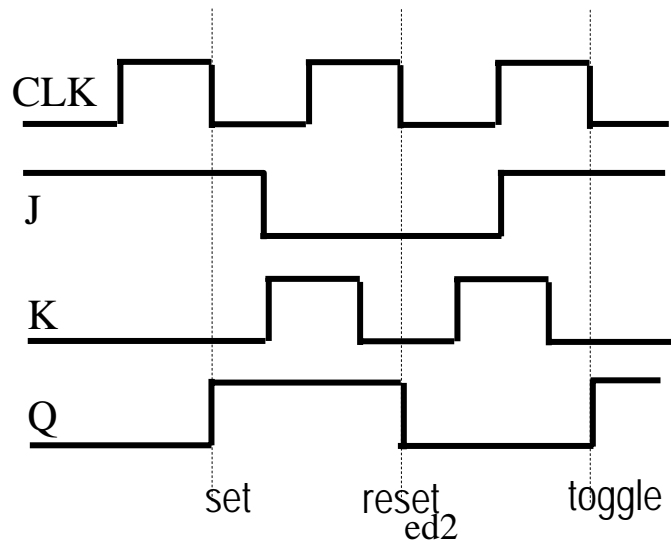
Simbol dari MS JK-FF

Timing diagram Clock

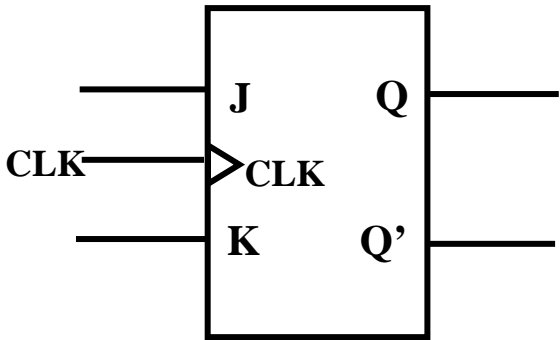


Positive-pulse triggered JK-FF

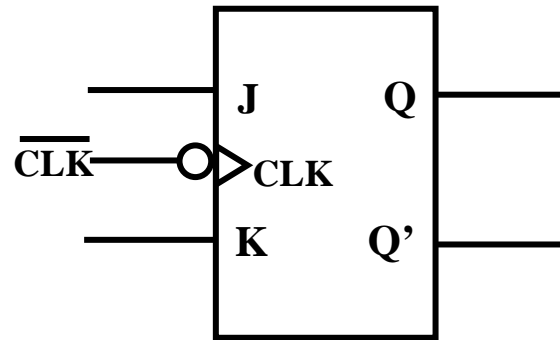
Timing diagram



Edge-triggered JK-FF



(a)

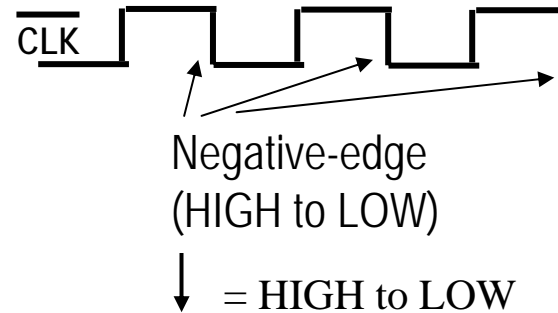
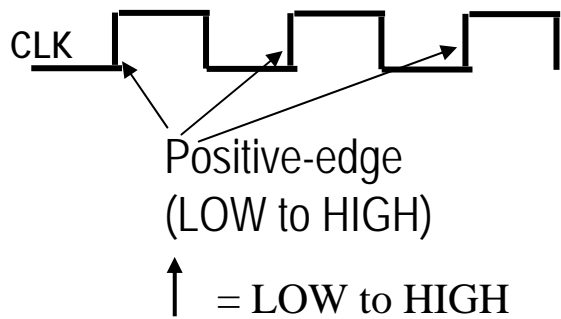


(b)

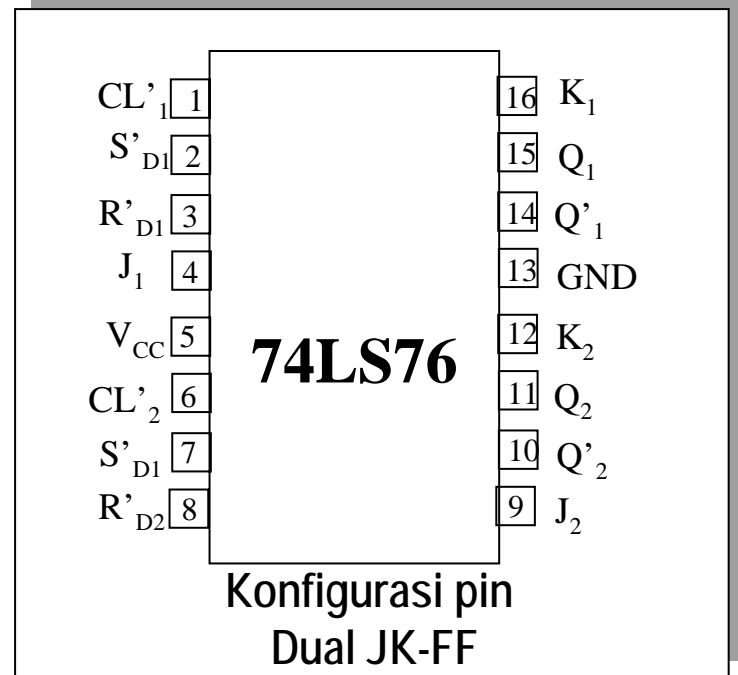
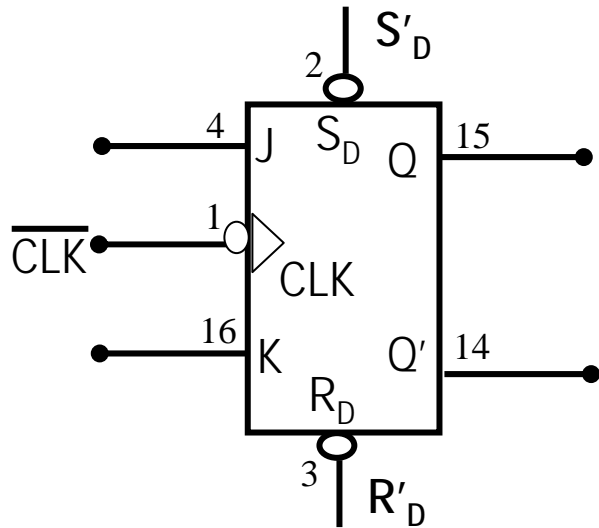
Simbol dari :

a) Positive-edge triggered JK-FF

b) Negative-edge triggered JK-FF

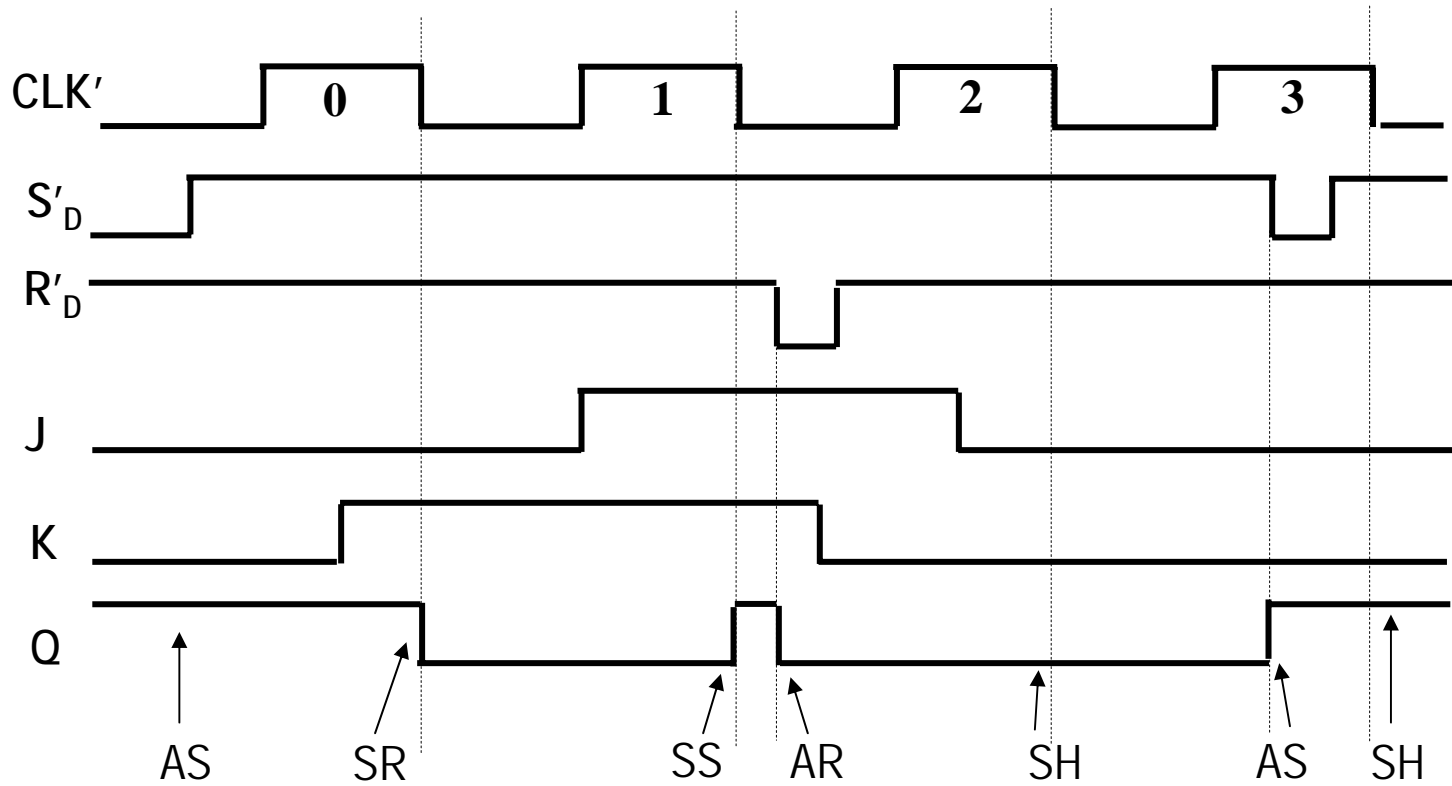


JK-FF dengan input-input ASINKRON



OPERATING MODE	INPUT					OUTPUT
	S' _D	R' _D	CLK'	J	K	Q
Asynchronous Set	L	H	X	X	X	H
Asynchronous Reset	H	L	X	X	X	L
Synchronous Hold	H	H	↓	l	l	q
Synchronous Set	H	H	↓	h	l	H
Synchronous Reset	H	H	↓	l	h	L
Synchronous Toggle	H	H	↓	h	h	q'

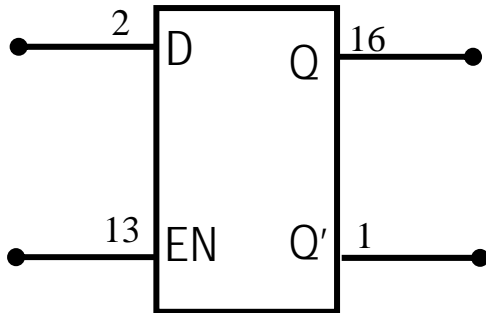
Timing diagram dari 74LS76 negative-edge triggered JK-FF



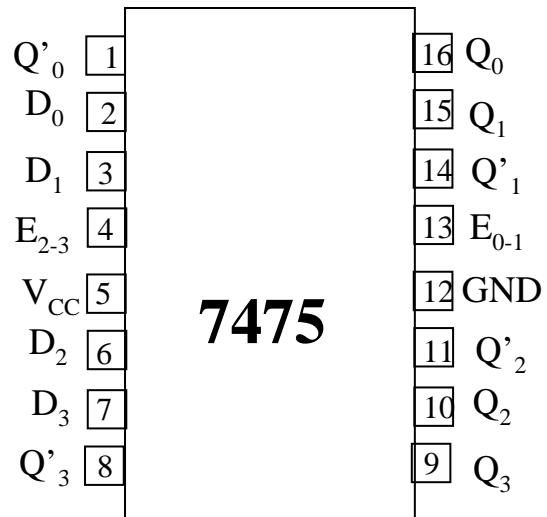
D-FLIP-FLOP

D-FF * = Data / delay Flip-flop

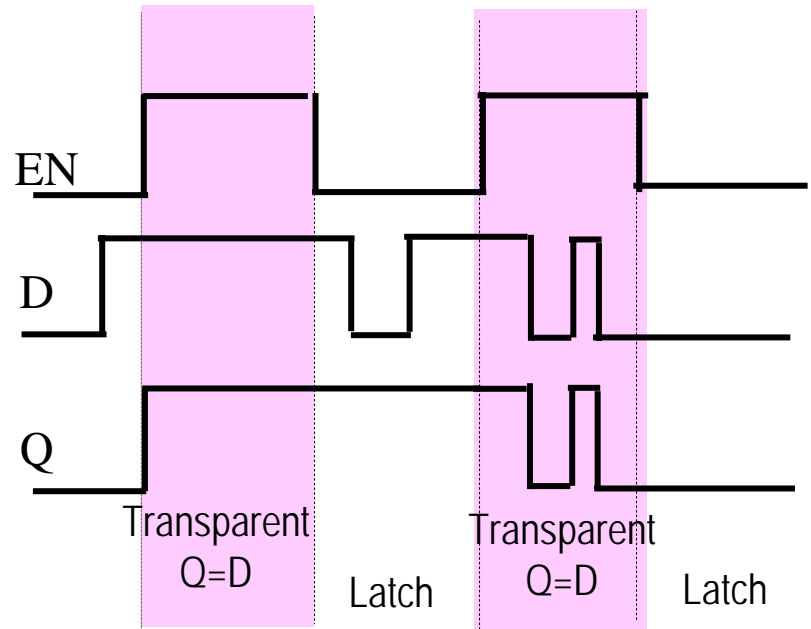
D-Latch (7475)



EN	D	Q	Comment
0	X	Q	Hold
1	0	0	Data '0'
1	1	1	Data '1'

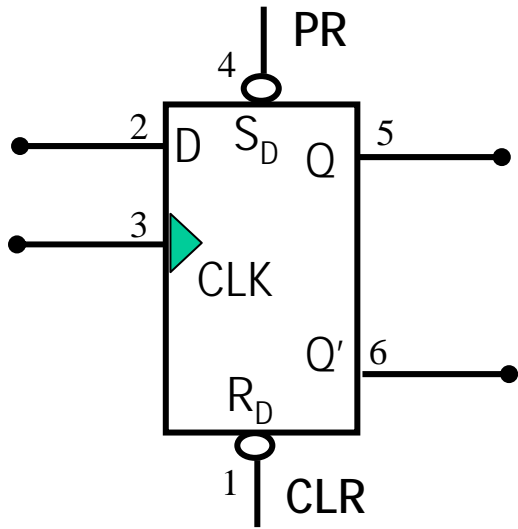


Konfigurasi pin dari Quad bistable D latch 7475



Timing Diagram dari D latch 7475

D-FF dengan INPUT ASINKRON

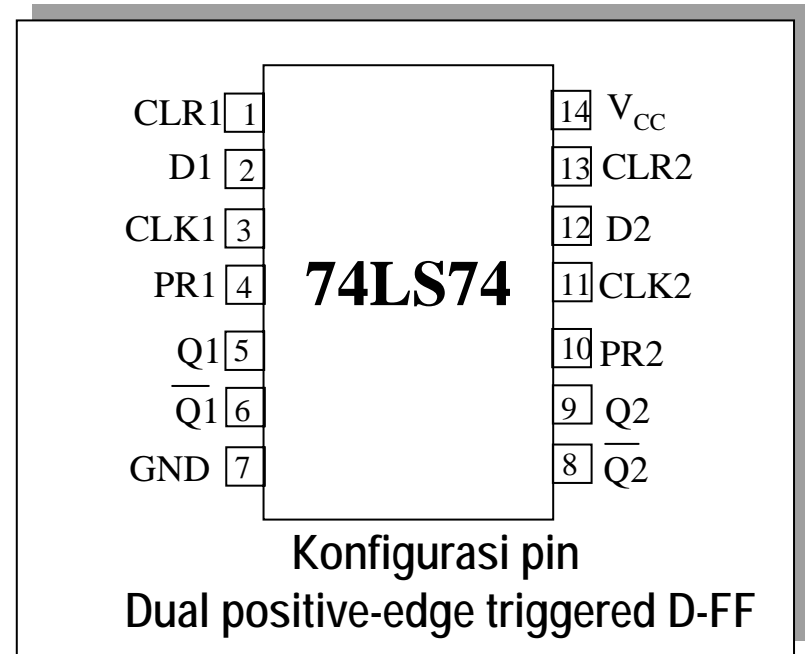


D-FF (7474)

D, CLK = input *sinkron* (data, clock)

R'_D, S'_D = input *asinkron* (set, reset)

Operating Mode	Input				Output
	S'_D	R'_D	CLK	D	Q
<i>Asinkron Set</i>	L	H	X	X	H
<i>Asinkron Reset</i>	H	L	X	X	L
<i>Not used</i>	L	L	X	X	H
<i>Sinkron Set</i>	H	H	↑	h	H
<i>Sinkron Reset</i>	H	H	↑	l	L



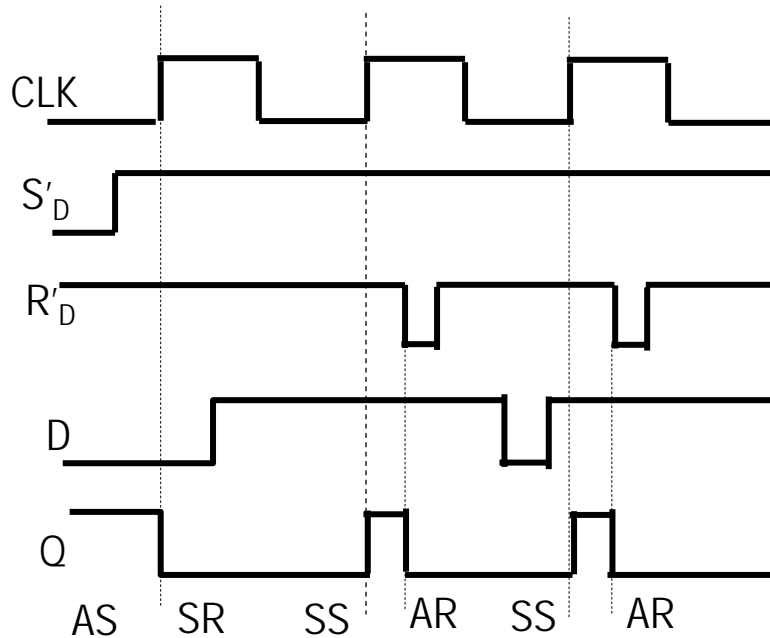
Tabel Eksitasi dari D-FF

PRESENT OUTPUT	NEXT OUTPUT	NILAI EKSITASI
Q(t)	Q(t+Δ)	D(t)
0	0	0
0	1	1
1	0	0
1	1	1

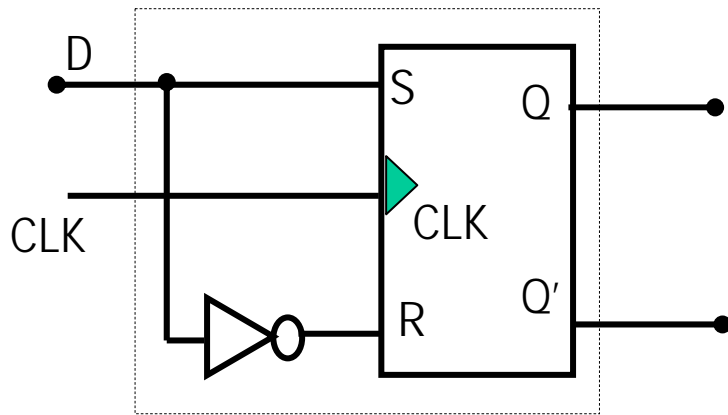
Persamaan Next State D-FF

$$Q(t + \Delta) = D(t)$$

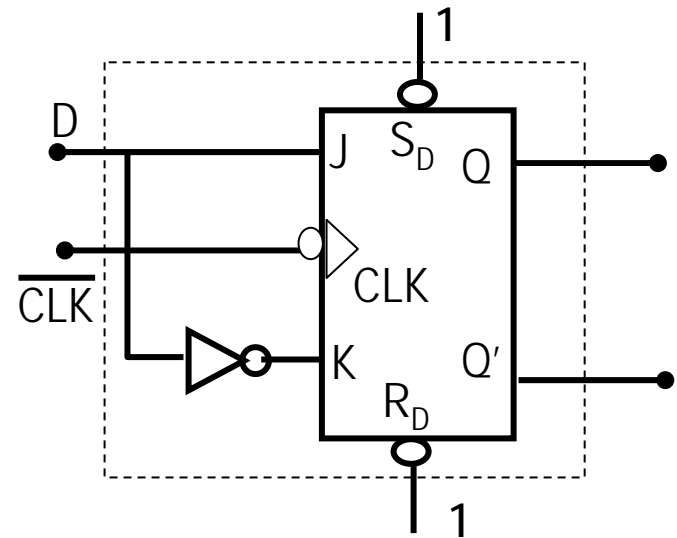
Timing Diagram



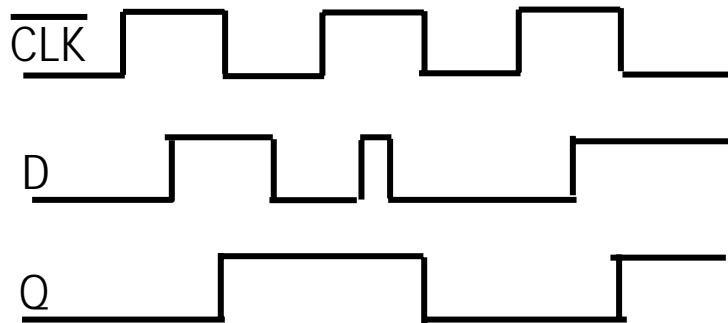
D-FF dari SR-FF



D-FF dari JK-FF



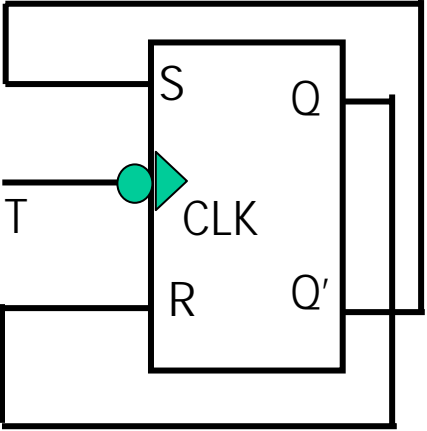
Timing diagram dari D-FF



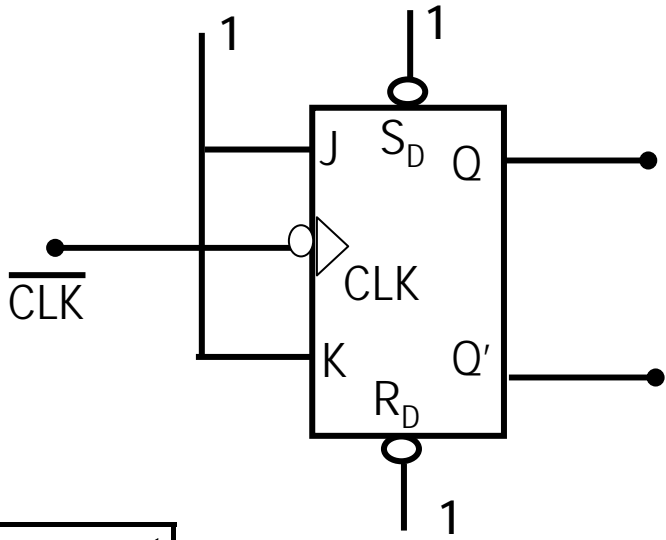
T-FLIP-FLOP

T-FF * = Toggle Flip-flop

T-FF dari SR-FF



T-FF dari JK-FF



T	Q	Comment
0	Q'	Toggle
1	Q	Hold

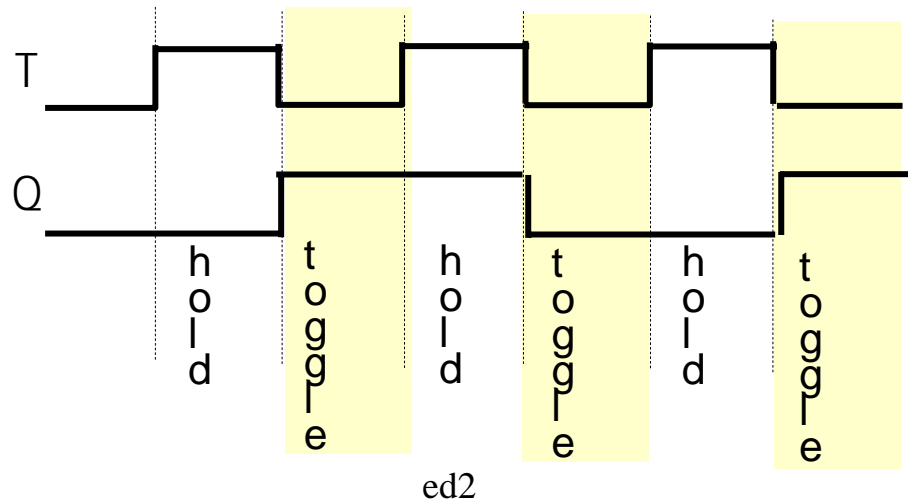
Tabel Eksitasi dari T-FF

PRESENT OUTPUT	NEXT OUTPUT	NILAI EKSITASI
Q(t)	Q(t+Δ)	T(t)
0	0	1
0	1	0
1	0	0
1	1	1

Persamaan Next State T-FF

$$Q(t + \Delta) = \bar{Q}(t)$$

Timing Diagram dari T-FF :



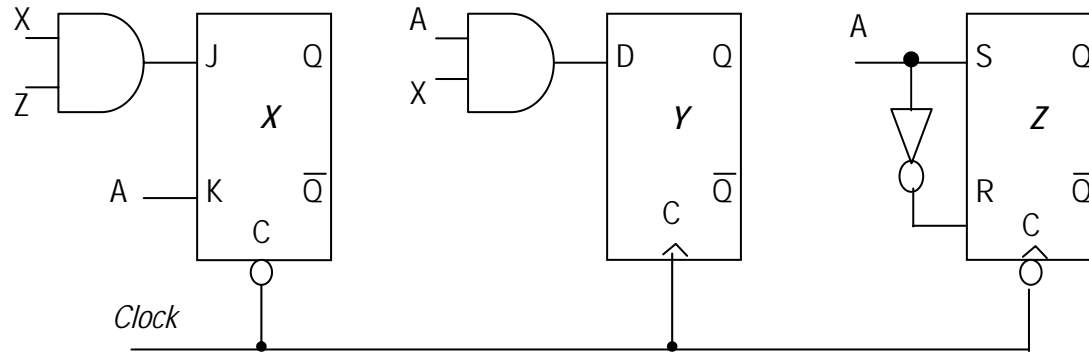
Analisa rangkaian

Prosedur meng-analisa rangkaian dengan Flip-flop

- a. Tentukan persamaan logika kombinasional untuk input-input Flip-flopnya :
input S dan R untuk SR-FF, input J dan K untuk JK-FF,
input D untuk D-FF dan input T untuk T-FF
- b. Untuk SR-FF → Tentukan apakah $S.R = 0$
Catatan : Jika $S.R \neq 0$, prosedur harus dihentikan.
- c. Cari persamaan Next State dari Flip-flop yang dicari :
SR-FF → $Q(t + \Delta) = S(t) + \overline{R(t)}Q(t)$
JK-FF → $Q(t + \Delta) = J(t)\overline{Q(t)} + \overline{K(t)}Q(t)$
D-FF → $Q(t + \Delta) = \overline{D(t)}$
T-FF → $Q(t + \Delta) = \overline{Q(t)}$
- d. Buat Tabel PS/NS - nya
- e. Buat State Diagram-nya (jika perlu)

Contoh :

Carilah Tabel PS/NS dan State Diagram untuk rangkaian berikut ini :



Jawab :

Persamaan next state :

JK-FF

$$J(t) = X(t)Z(t)$$

$$K(t) = A(t)$$

$$X(t + \Delta) = J(t)\bar{X}(t) + \bar{K}(t)X(t)$$

$$= X(t)Z(t)\bar{X}(t) + \bar{A}(t)X(t) = \bar{A}(t)X(t)$$

D-FF

$$Y(t + \Delta) = D(t) = A(t)X(t)$$

SR-FF

$$S(t) = A(t) \quad R(t) = \overline{A(t)}$$

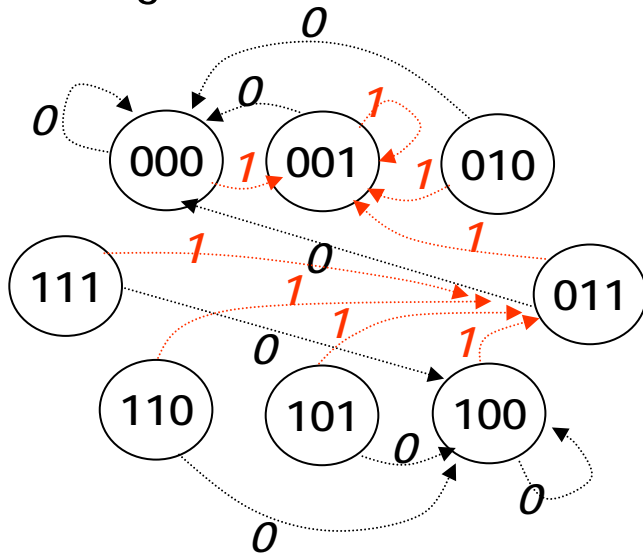
$$S(t).R(t) = A(t).\overline{A(t)} = 0$$

$$Z(t + \Delta) = S(t) + \overline{R(t)}Z(t)$$

$$= A(t) + \overline{\overline{A(t)}}Z(t)$$

$$= A(t)[1 + Z(t)] = A(t)$$

State Diagram



Tabel PS/NS

A(t)	X(t)	Y(t)	Z(t)	X(t+Δ)	Y(t+Δ)	Z(t+Δ)
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	1	0	0
0	1	0	1	1	0	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	0	1	1
1	1	0	1	0	1	1
1	1	1	0	0	1	1
1	1	1	1	0	1	1

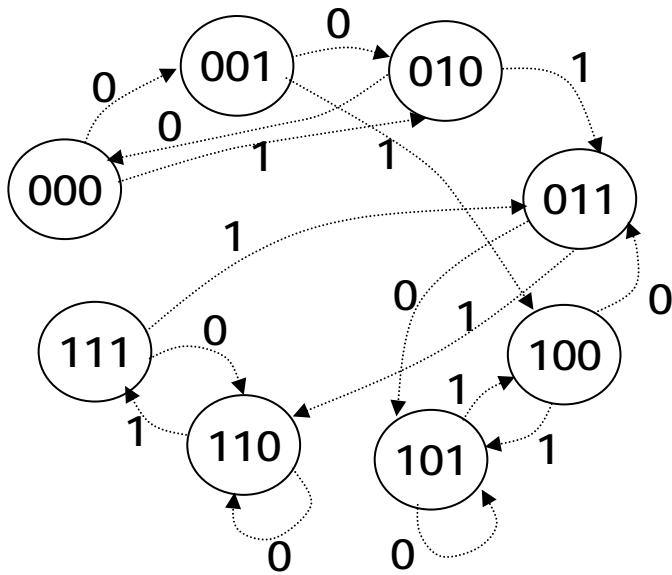
Disain/Sintesa rangkaian

Prosedur mendisain rangkaian dengan Flip-flop

1. Dengan menggunakan persamaan next state atau State Diagram yang diketahui, buatlah tabel present state/next state untuk rangkaian yang akan dibangun.
2. Tambahkan kolom pasangan eksitasi dari masing-masing Flip-flop yang akan digunakan.
3. Dengan menggunakan K-Map, carilah persamaan logika dari nilai eksitasi yang didapat
4. Buat rangkaian sesuai dengan persamaan yang didapat.

Contoh :

Diketahui sebuah State Diagram dari rangkaian sekuensial dengan D-FF seperti dibawah ini. Gambarkan bentuk rangkaiannya.



Jawab :

Tabel PS/NS

A	X	Y	Z	X _n	Y _n	Z _n
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	0	0
0	0	1	1	1	0	1
0	1	0	0	0	1	1
0	1	0	1	1	0	1
0	1	1	0	1	1	0
0	1	1	1	1	1	0
1	0	0	0	0	1	0
1	0	0	1	1	0	0
1	0	1	0	0	1	1
1	0	1	1	1	1	0
1	1	0	0	1	0	1
1	1	0	1	1	0	0
1	1	1	0	1	1	1
1	1	1	1	0	1	1

Tabel PS/NS dan Nilai Eksitasi dari D-FF

PI	PO			NO			Eksitasi		
A	X	Y	Z	Xn	Yn	Zn	Dx	Dy	Dz
0	0	0	0	0	0	1	0	0	1
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	0	0	0	0	0
0	0	1	1	1	0	1	1	0	1
0	1	0	0	0	1	1	0	1	1
0	1	0	1	1	0	1	1	0	1
0	1	1	0	1	1	0	1	1	0
0	1	1	1	1	1	0	1	1	0
1	0	0	0	0	1	0	0	1	0
1	0	0	1	1	0	0	1	0	0
1	0	1	0	0	1	1	0	1	1
1	0	1	1	1	1	0	1	1	0
1	1	0	0	1	0	1	1	0	1
1	1	0	1	1	0	0	1	0	0
1	1	1	0	1	1	1	1	1	1
1	1	1	1	0	1	1	0	1	1

YZ \ AX	00	01	11	10
00	1	0	1	0
01	1	1	0	0
11	1	0	1	1
10	0	0	0	1

$$D_z = \overline{A}YZ + XY\overline{Z} + \overline{A}X\overline{Y} + AXY + AY\overline{Z} + \overline{A}XYZ$$

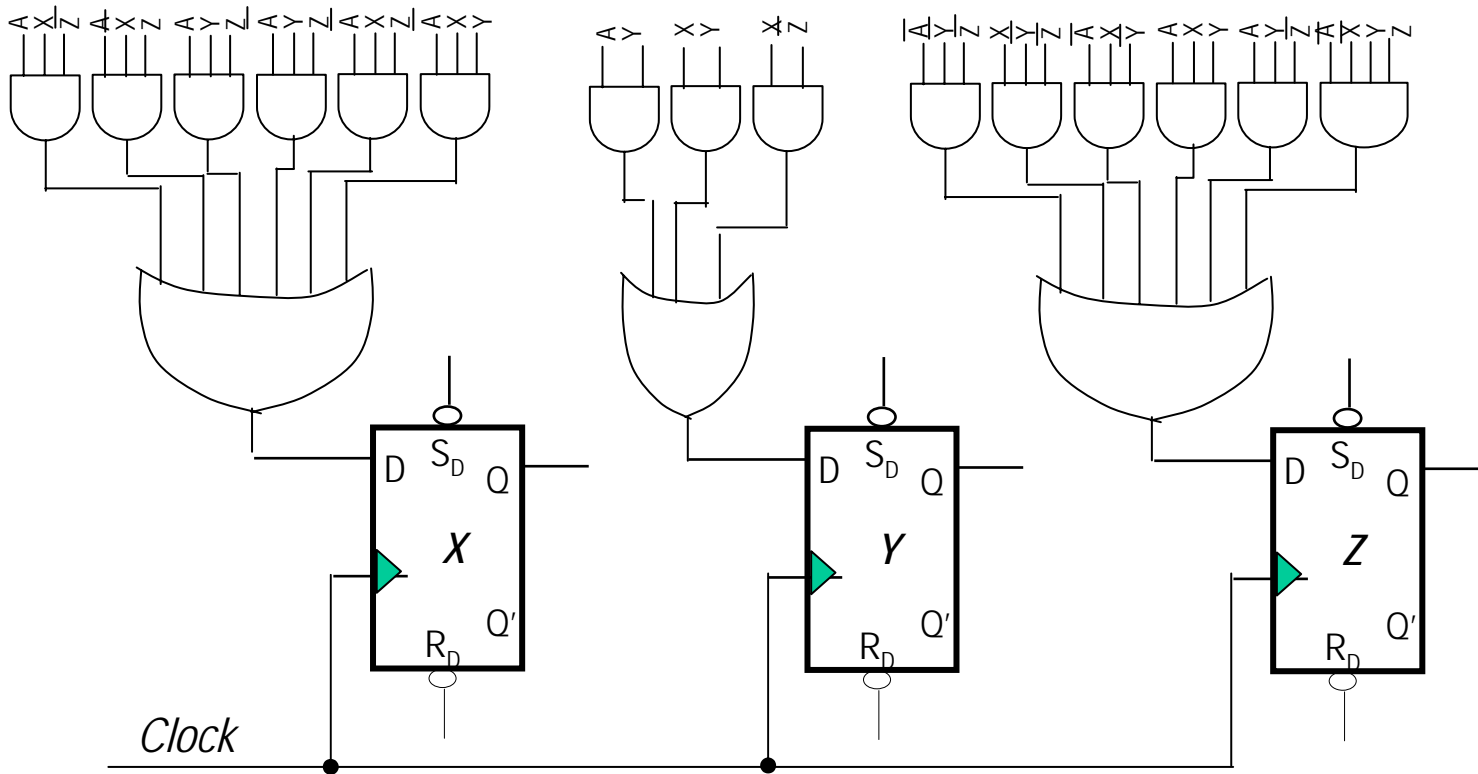
YZ \ AX	00	01	11	10
00	0	0	1	0
01	0	1	1	1
11	1	1	0	1
10	0	1	1	0

$$D_x = AX\overline{Z} + A\overline{X}Z + AYZ + \overline{A}YZ + \overline{A}XZ + \overline{A}XY$$

YZ \ AX	00	01	11	10
00	0	1	0	0
01	1	0	1	1
11	1	0	1	1
10	0	0	1	1

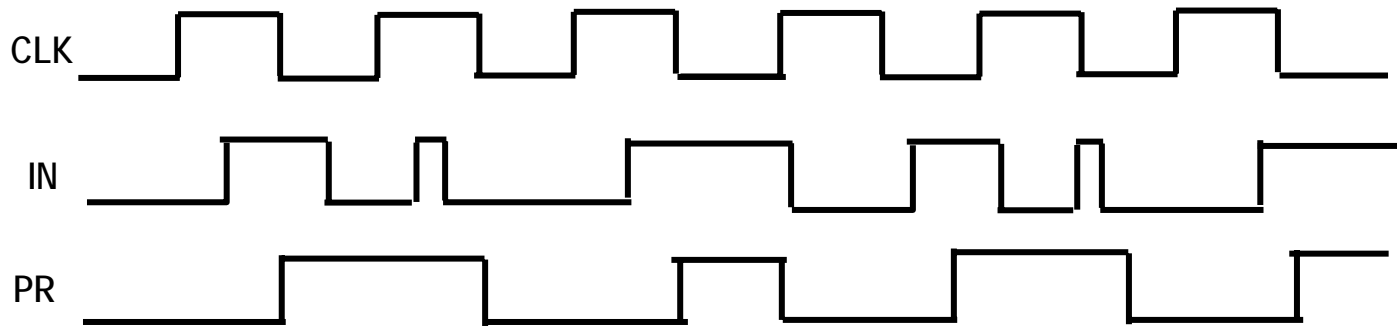
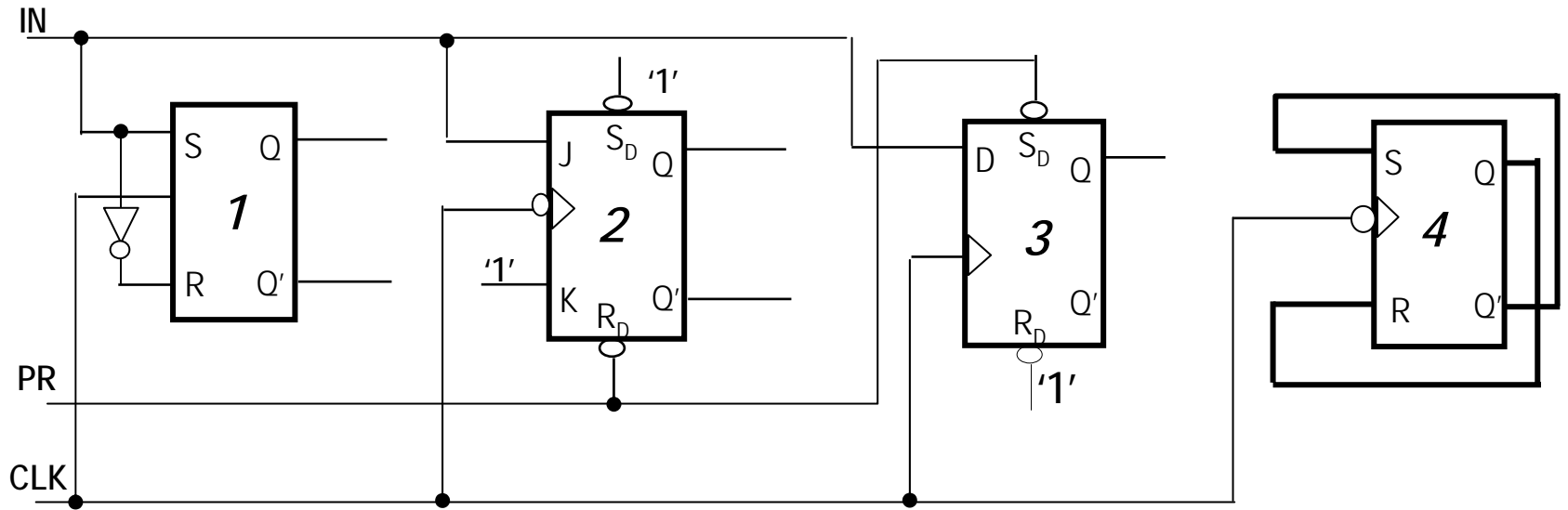
$$D_y = AY + XY + X\overline{Z}$$

Gambar rangkaian



Soal Latihan

1. Gambarkan bentuk gelombang output untuk beberapa jenis Flip-flop di bawah ini, jika diketahui bentuk gelombang inputnya adalah sebagai berikut :



$Q_1, Q_2, Q_3, Q_4 \dots ??$