

PERCOBAAN 9.

RANGKAIAN ARITMETIKA DIGITAL LANJUT

TUJUAN:

Setelah menyelesaikan percobaan ini mahasiswa diharapkan mampu

- Memahami prinsip kerja rangkaian aritmetika biner : *multiplier, parallel Adder* dan *Parallel Subtractor*
- Mendisain rangkaian *multiplier, Parallel Adder* dan *Parallel Subtractor*

PERALATAN:

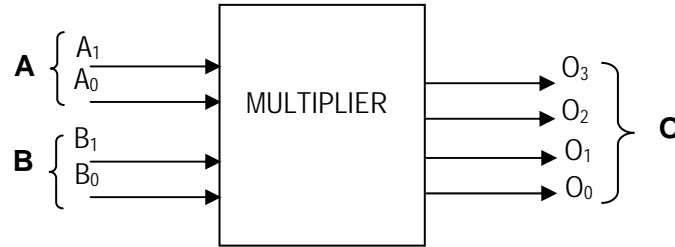
1. Logic Circuit Trainer ITF-02 / DL-02
2. Oscilloscope

TEORI:

Rangkaian Aritmetika Lanjut meliputi : *Multiplier* (rangkaiannya Pengali), *Parallel Adder* dan *Parallel Subtractor*. Setelah mengetahui prinsip dasar dari Adder dan Subtractor, dapat dilanjutkan dengan membuat rangkaian Adder dan Subtractor untuk penjumlahan dan pengurangan lebih dari 1 bit.

1. MULTIPLIER

Rangkaian Multiplier terdiri dari dua blok input (yang masing-masing mewakili register yang akan dikalikan) serta satu blok output. Setiap blok dapat terdiri lebih dari 1 bit data. Bilangan yang dikalikan dan pengalinya, serta hasil kalinya berupa bilangan biner. Setelah didapatkan hasilnya, masing-masing bit outputnya dibuat dengan persamaan yang didapatkan dari K-Map. Blok Diagram dari rangkaian Multiplier ditunjukkan pada gambar 9-1.



Gambar 9-1. Rangkaian Multiplier 2 bit input

Tabel 9-1. Tabel Perkalian 2 bit biner

Input Desimal		Input Biner				Output Biner				Out Desimal
A	B	A ₁	A ₀	B ₁	B ₀	O ₃	O ₂	O ₁	O ₀	O
0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	2	0	0	1	0	0	0	0	0	0
0	3	0	0	1	1	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	0	1	1
1	2	0	1	1	0	0	0	1	0	2
1	3	0	1	1	1	0	0	1	1	3
2	0	1	0	0	0	0	0	0	0	0
2	1	1	0	0	1	0	0	1	0	2
2	2	1	0	1	0	0	1	0	0	4
2	3	1	0	1	1	0	1	1	0	6
3	0	1	1	0	0	0	0	0	0	0
3	1	1	1	0	1	0	0	1	1	3
3	2	1	1	1	0	0	1	1	0	6
3	3	1	1	1	1	1	0	0	1	9

Setelah menggunakan K-Map didapatkan persamaan outputnya sebagai berikut :

$$O_3 = A_1 A_0 B_1 B_0$$

$$O_1 = \bar{A}_1 A_0 B_1 + A_0 B_1 \bar{B}_0 + A_1 \bar{B}_1 B_0 + A_1 \bar{A}_0 B_0$$

$$O_2 = A_1 B_1 B_0 + A_1 A_0 B_1$$

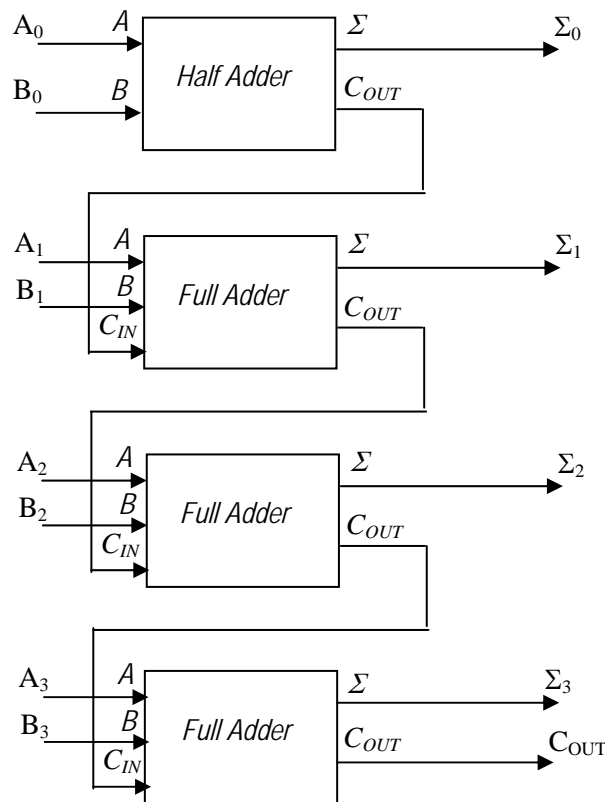
$$O_0 = A_0 B_0$$

2. PARALLEL ADDER

Rangkaian Parallel Adder adalah rangkaian penjumlah dari dua bilangan yang telah dikonversikan ke dalam bentuk biner. Anggap ada dua buah register A dan B, masing-masing register terdiri dari 4 bit biner : $A_3A_2A_1A_0$ dan $B_3B_2B_1B_0$. Penjumlahan dari kedua register itu dapat dinyatakan sebagai berikut :

$$\begin{array}{r} A_3A_2A_1A_0 \\ B_3B_2B_1B_0 \\ \hline C_{OUT} \Sigma_3 \Sigma_2 \Sigma_1 \Sigma_0 \end{array} +$$

Rangkaian Parallel Adder dari persamaan di atas ditunjukkan pada gambar 9-2.



Gambar 9-2. Rangkaian Parallel Adder 4 bit

Rangkaian Parallel Adder terdiri dari Sebuah Half Adder (HA) pada *Least Significant Bit* (LSB) dari masing-masing input dan beberapa Full Adder pada bit-bit

berikutnya. Prinsip kerja dari Parallel Adder adalah sebagai berikut : penjumlahan dilakukan mulai dari LSB-nya. Jika hasil penjumlahan adalah bilangan desimal “2” atau lebih, maka bit kelebihannya disimpan pada C_{out} , sedangkan bit di bawahnya akan dikeluarkan pada Σ . Begitu seterusnya menuju ke *Most Significant Bit* (MSB)nya.

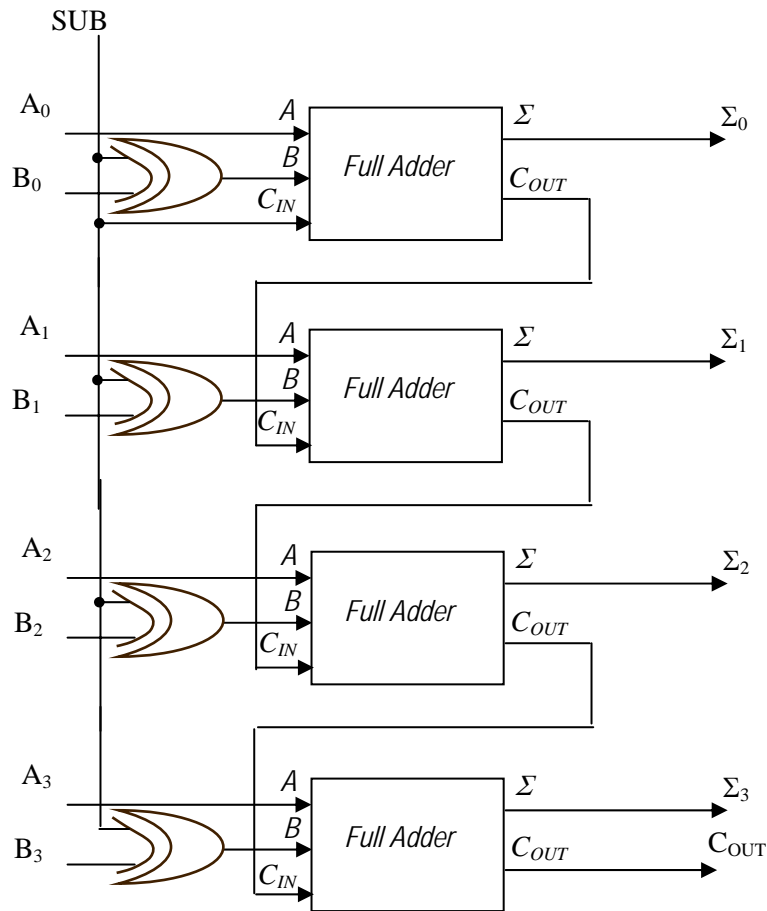
3. PARALLEL SUBTRACTOR

Rangkaian Parallel Subtractor merupakan modifikasi dari rangkaian Parallel Adder. Dengan mengimplementasikan prinsip *2's complement*, rangkaian Parallel Subtractor akan bekerja seperti rangkaian Parallel Adder. Sebagai contoh, pengurangan 5 dengan 2 adalah sama dengan penjumlahan 5 dengan (-2). Proses pengurangan dua buah bilangan 4 bit biner dapat dinyatakan sebagai berikut :

$$\begin{array}{r} A_3A_2A_1A_0 \\ - B_3B_2B_1B_0 \\ \hline C_{OUT} \Sigma_3 \Sigma_2 \Sigma_1 \Sigma_0 \end{array} +$$

Dimana : $-B_3B_2B_1B_0$ artinya bilangan negatif dari $B_3B_2B_1B_0$ yang dilakukan dengan *2's complement*. Jadi prinsip rangkaian subtractor adalah rangkaian Adder yang salah satu inputnya diubah menjadi negatif.

Dari rangkaian Parallel Subtractor pada gambar 9-3 dapat dilihat adanya Gerbang Ex-OR di masing-masing input Full-Adder nya. Rangkaian Ex-OR ini mendapat input dari SUB. Jika input SUB diberikan nilai “1” maka rangkaian Ex-OR mengubah input B menjadi kebalikannya dan bersamaan dengan itu input SUB tersebut juga dimasukkan ke C_{IN} , sehingga nilai input B menjadi *2's complement*-nya. Sedangkan jika input SUB diberi nilai “0” maka rangkaian tersebut menjadi rangkaian Adder.



Gambar 9-3. Rangkaian Parallel Subtractor dari modifikasi Parallel Adder

PROSEDUR:

1. Gambarkan rangkaian Multiplier 4 bit biner berdasarkan persamaan yang telah diberikan sebelumnya. Implementasikan rangkaian tersebut pada trainer ITF-02. Dapatkan Tabel Kebenarannya.
2. Buat rangkaian Parallel Adder 2 bit menggunakan trainer DL-2. Gunakan 1 buah rangkaian Half Adder dan 1 buah Full Adder. Dapatkan Tabel Kebenarannya.
3. Buat rangkaian Parallel Subtractor 2 bit menggunakan trainer DL-02. Gunakan 2 buah Full Adder dan 2 buah gerbang Ex-OR. Dapatkan Tabel Kebenarannya.

TUGAS:

1. Buat rangkaian Multiplier yang mengalikan 2 blok input. Input pertama terdiri dari 2 bit biner, sedangkan input kedua 1 bit biner. Dapatkan ouputnya dengan 3 bit biner. Gambarkan rangkaiannya berdasarkan persamaan yang didapatkan dari K-map.
2. Selesaikan bentuk penjumlahan dan pengurangan berikut ini dalam sistim biner :

$$\begin{array}{r} 6 \\ 5 + \\ \hline \end{array}$$

$$\begin{array}{r} 21 \\ 9 + \\ \hline \end{array}$$

$$\begin{array}{r} 7 \\ -4 + \\ \hline \end{array}$$

$$\begin{array}{r} -5 \\ 8 + \\ \hline \end{array}$$