

PERCOBAAN 8.

RANGKAIAN ARITMETIKA DIGITAL DASAR

TUJUAN:

- Setelah menyelesaikan percobaan ini mahasiswa diharapkan mampu
- Memahami rangkaian aritmetika digital : *adder* dan *subtractor*
 - Mendisain rangkaian *adder* dan *subtractor* (*Half dan Full*) berdasarkan Tabel Kebenaran yang diketahui

PERALATAN:

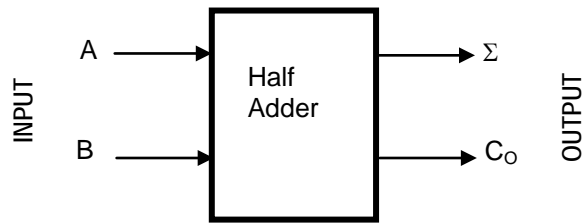
1. Logic Circuit Trainer ITF-02 / DL-02
2. Oscilloscope

TEORI:

Rangkaian aritmetika digital dasar terdiri dari dua macam : Adder, atau rangkaian penjumlah, berfungsi menjumlahkan dua buah bilangan yang telah dikonversikan menjadi bilangan-bilangan biner, dan Subtraktor, atau rangkaian pengurang, yang berfungsi mengurangi dua buah bilangan.

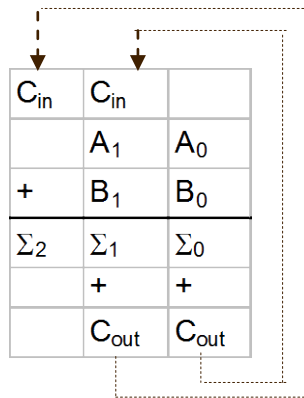
1. HALF ADDER

Sebuah rangkaian *Adder* terdiri dari *Half Adder* dan *Full Adder*. *Half Adder* menjumlahkan dua buah bit input, dan menghasilkan nilai jumlahan (*sum*) dan nilai lebihnya (*carry-out*). *Half Adder* diletakkan sebagai penjumlah dari bit-bit terendah (*Least Significant Bit*). Blok Diagram dari sebuah rangkaian *Half Adder* ditunjukkan pada gambar 8-1.



Gambar 8-1. Blok Diagram *Half Adder*

Prinsip kerja *Half Adder* ditunjukkan pada gambar 8-2.



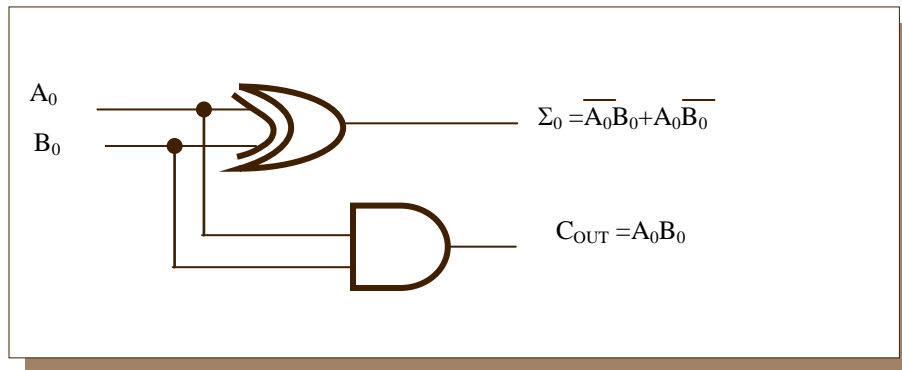
Gambar 8-2. Prinsip Kerja *Half Adder*

Sebuah *Half Adder* mempunyai Tabel Kebenaran seperti pada Tabel 8-1.

Tabel 8-1. Tabel Kebenaran *Half Adder*

A₀	B₀	Σ₀	C_{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

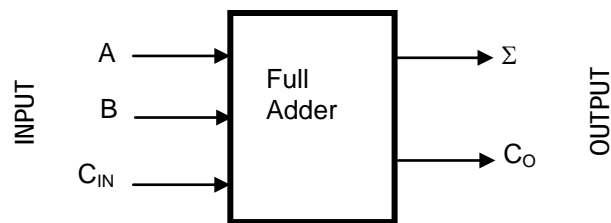
Berdasarkan output-output yang didapatkan dari Tabel Kebenaran, dibuat rangkaian seperti gambar 8-3.



Gambar 8-3. Rangkaian *Half Adder*

2. FULL ADDER

Sebuah *Full Adder* menjumlahkan dua bilangan yang telah dikonversikan menjadi bilangan-bilangan biner. Masing-masing bit pada posisi yang sama saling dijumlahkan. *Full Adder* sebagai penjumlah pada bit-bit selain yang terendah. *Full Adder* menjumlahkan dua bit input ditambah dengan nilai *Carry-Out* dari penjumlahan bit sebelumnya. Output dari Full Adder adalah hasil penjumlahan (*Sum*) dan bit kelebihannya (*carry-out*). Blok diagram dari sebuah *full adder* diberikan pada gambar 8-4.



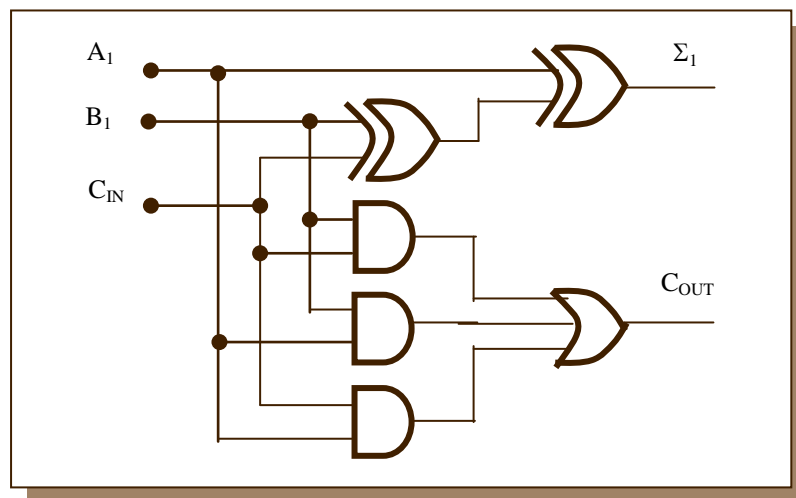
Gambar 8-4. Blok Diagram Full Adder

Tabel Kebenaran untuk sebuah *Full Adder* diberikan pada Tabel 8-2.

Tabel 8-2. Tabel Kebenaran Full Adder

A_1	B_1	C_{IN}	Σ_1	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

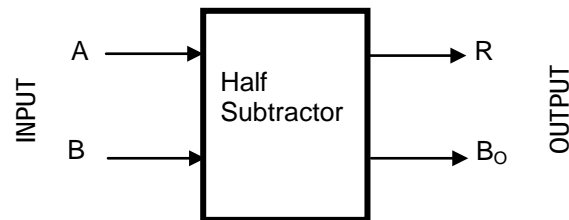
Berdasarkan output-output yang didapatkan dari Tabel Kebenaran, dibuat rangkaian seperti gambar 8-5.



Gambar 8-5. Rangkaian Full Adder

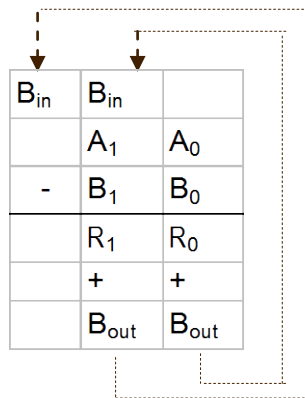
1. HALF SUBTRACTOR

Sebuah rangkaian *Subtractor* terdiri dari *Half Subtractor* dan *Full Subtractor*. *Half Subtractor* mengurangkan dua buah bit input, dan menghasilkan nilai hasil pengurangan (*Remain*) dan nilai yang dipinjam (*Borrow-out*). *Half Subtractor* diletakkan sebagai pengurang dari bit-bit terendah (*Least Significant Bit*). Blok Diagram dari sebuah rangkaian *Half Subtractor* ditunjukkan pada gambar 8-6.



Gambar 8-6. Blok Diagram *Half Subtractor*

Prinsip kerja *Half Subtractor* ditunjukkan pada gambar 8-7.



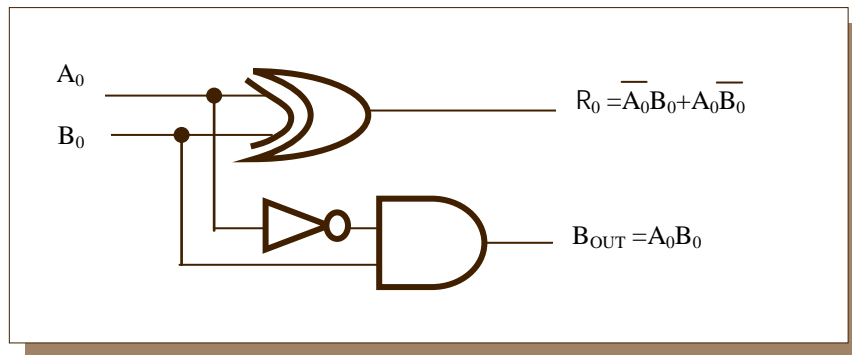
Gambar 8-7. Prinsip Kerja *Half Subtractor*

Sebuah *Half Subtractor* mempunyai Tabel Kebenaran seperti pada Tabel 8-3.

Tabel 8-3. Tabel Kebenaran Half Subtractor

A_0	B_0	R_0	B_{out}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

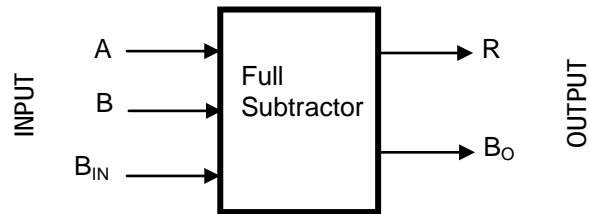
Berdasarkan output-output yang didapatkan dari Tabel Kebenaran, dibuat rangkaian seperti gambar 8-8.



Gambar 8-8. Rangkaian Half Subtractor

4. FULL SUBTRACTOR

Sebuah *Full Subtractor* mengurangkan dua bilangan yang telah dikonversikan menjadi bilangan-bilangan biner. Masing-masing bit pada posisi yang sama saling dikurangkan. *Full Subtractor* mengurangkan dua bit input dan nilai *Borrow-Out* dari pengurangan bit sebelumnya Output dari *Full Subtractor* adalah hasil pengurangan (*Remain*) dan bit pinjamannya (*borrow-out*). Blok diagram dari sebuah *full subtractor* diberikan pada gambar 8-9.



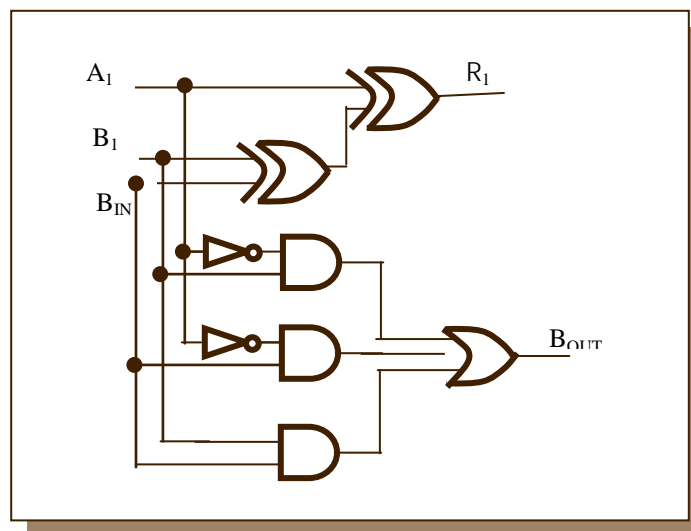
Gambar 8-9. Blok Diagram *Full Subtractor*

Tabel Kebenaran untuk sebuah *Full Subtractor* diberikan pada Tabel 8-4.

Tabel 8-4. Tabel Kebenaran *Full Subtractor*

A_1	B_1	B_{IN}	R_1	B_{out}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Berdasarkan output-output yang didapatkan dari Tabel Kebenaran, dibuat rangkaian seperti gambar 8-10.



Gambar 8-10. Rangkaian *Full Subtractor*

PROSEDUR :

1. Menggunakan Trainer ITF-02 atau DL-02, implementasikan rangkaian *Half Adder*, seperti pada gambar 8-3. Buat Tabel Kebenarannya.
2. Seperti pada prosedur 1, implementasikan rangkaian *Full Adder*, seperti gambar 8-5. Buat Tabel Kebenarannya.
3. Seperti prosedur 1, implementasikan rangkaian *Half Subtractor*, seperti gambar 8-8. Buat Tabel Kebenarannya.
4. Seperti prosedur 1, implementasikan rangkaian *Full Subtractor*, seperti gambar 8-10. Buat Tabel Kebenarannya.

TUGAS :

1. Dengan menggunakan Tabel Kebenaran yang telah didapatkan dari percobaan, buat K-map untuk masing-masing Rangkaian Aritmetika (*Half Adder*, *Full adder*, *Half Subtractor* dan *Full Subtractor*). Dari K-map, dapatkan persamaan sederhananya. Kemudian gambarkan rangkaiannya, sesuai dengan persamaan yang didapat. Bandingkan hasilnya dengan rangkaian awal (yang anda rangkai pada Trainer).
2. Ubahlah rangkaian *Half* dan *Full Adder* hanya dengan gerbang NAND saja.
3. Ubahlah rangkaian *Half* dan *Full Subtractor* hanya dengan gerbang NOR saja.